

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 5 月 30 日 (30.05.2003)

PCT

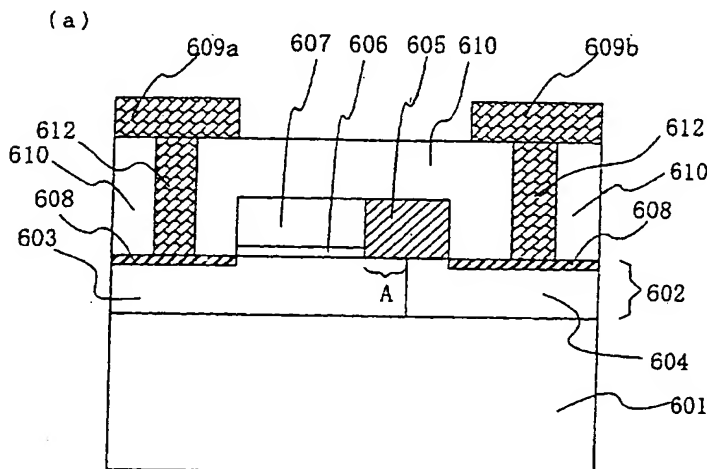
(10) 国際公開番号
WO 03/044868 A1

- (51) 国際特許分類⁷: H01L 29/788, 29/792, 27/115, 21/8247 545-8522 大阪府 大阪市阿倍野区 長池町 2 2 番 2 2 号 Osaka (JP).
- (21) 国際出願番号: PCT/JP02/12028
- (22) 国際出願日: 2002 年 11 月 18 日 (18.11.2002) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 岩田 浩 (IWATA, Hiroshi) [JP/JP]; 〒636-0813 奈良県 生駒郡 三郷町 信貴ヶ丘 2-4-13 Nara (JP). 柴田 晃秀 (SHIBATA, Akihide) [JP/JP]; 〒631-0803 奈良県 奈良市 山陵町 104-B203 Nara (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: (74) 代理人: 野河 信太郎 (NOGAWA, Shintaro); 〒530-0047 大阪府 大阪市北区 西天満 5 丁目 1-3 南森町パークビル Osaka (JP).
特願 2001-356549
2001 年 11 月 21 日 (21.11.2001) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ 株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒 (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,

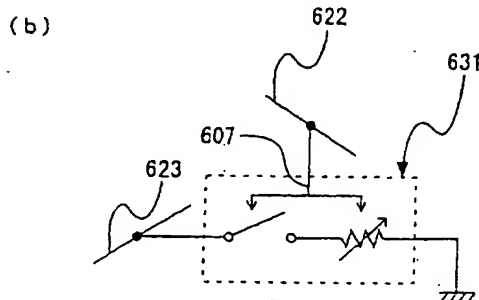
[続葉有]

(54) Title: SEMICONDUCTOR STORAGE DEVICE, ITS MANUFACTURING METHOD AND OPERATING METHOD, AND PORTABLE ELECTRONIC APPARATUS

(54) 発明の名称: 半導体記憶装置、その製造方法及び動作方法、並びに携帯電子機器



(57) Abstract: A semiconductor storage device having a first conductivity type region formed in a semiconductor layer, a second conductivity type region formed in the semiconductor layer in contact with the first conductivity type region, a memory functional element disposed on the semiconductor layer across the boundary of the first and second conductivity type regions, and an electrode provided in contact with the memory functional element and on the first conductivity type region via an insulation film, and a portable electronic apparatus comprising this semiconductor storage device. This invention fully copes with scale-down and high-integration by constituting a selectable memory cell substantially of one device.



BEST AVAILABLE COPY

[続葉有]

WO 03/044868 A1



DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

- (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

本発明によれば、半導体層内に形成された第 1 導電型の領域と、半導体層内に第 1 導電型の領域と接して形成された第 2 導電型の領域と、半導体層上に第 1 及び第 2 導電型の領域の境界を跨って配置されたメモリ機能体と、メモリ機能体に接しかつ第 1 導電型の領域上に絶縁膜を介して設けられた電極とを有する半導体記憶装置及びこの半導体記憶装置を備えた携帯電子機器を提供する。本発明によって、選択可能なメモリセルを実質的に 1 つの素子で構成し、微細化及び高集積化に十分に対応することができる。

明細書

半導体記憶装置、その製造方法及び動作方法、並びに携帯電子機器

技術分野

- 5 本発明は、半導体記憶装置、その製造方法及び動作方法、並びに携帯電子機器に関する。より詳細には、電荷量の変化を電流量に変換する機能を有する素子からなる半導体記憶装置とその製造方法及び動作方法、そのような半導体記憶装置を用いた携帯電子機器に関する。

10 技術背景

- 従来から、可変抵抗体の抵抗値を記憶情報とし、その抵抗値を変えることにより記憶情報を書き換え、その抵抗値を検出することにより記憶情報を読み出す不揮発性メモリとして、MRAM (Magnetic Random Access Memory) がある (M. Durlam et al., Nonvolatile Ram Based on Magnetic Tunnel Junction Elements, International
15 Solid-State Circuits Conference Digest of Technical Papers, pp130-131, Feb. 2000)。

このようなMRAMを構成する1つのメモリセルの模式的な断面図を図36 (a) に、等価回路図を図36 (b) に示す。

- メモリセルは、可変抵抗911と選択トランジスタ912とがメタル配線917及び
20 ビコンタクトプラグ918を介して接続されて構成されている。また、可変抵抗911の一端にはビット線914が接続されている。

可変抵抗911はMTJ (Magnetic Tunnel Junction) で構成されており、ビット線914に対して直交する方向に延設された書き換えワード線913とビット線との交点において、両者に挟まれている。

- 25 選択トランジスタ912は、半導体基板919上に形成された一対の拡散領域920とゲート電極とにより構成されており、拡散領域920の一方はメタル配線917及びビコンタクトプラグ918を介して可変抵抗911に接続されており、他方はソース線915に接続されている。なお、ゲート電極は、選択ワード線916を構成している。

MRAMの書き換え動作は、ビット線914及び書き換えワード線913に流れる電流により発生する合成磁場が、可変抵抗911の抵抗値を変化させることにより行われる。一方、読み出し動作は、選択トランジスタ912をオン状態にした上で、可変抵抗911に流れる電流値、つまり、可変抵抗911の抵抗値を検知することにより行われる。

このように、MRAMのメモリセルは、3端子素子である可変抵抗911と、3端子素子である選択トランジスタ912との2つの素子により構成されている。そのため、さらなるメモリの微細化や大容量化を実現するのには限界があり、困難である。

10 発明の開示

本発明は、選択可能なメモリセルを実質的に1つの素子で構成し、微細化及び高集積化に十分に対応することができる半導体記憶装置、その製造方法及び動作方法、そのような半導体記憶装置を有する携帯電子機器を提供することを目的とする。

すなわち、本発明によれば、半導体層内に形成された第1導電型の領域と、半導体層内に該第1導電型の領域と接して形成された第2導電型の領域と、前記半導体層上に前記第1及び第2導電型の領域の境界を跨って配置されたメモリ機能体と、該メモリ機能体に接しかつ第1導電型の領域上に絶縁膜を介して設けられた電極とを有する半導体記憶装置が提供される。

また、半導体層内に形成された第1導電型の領域と、半導体層内に該第1導電型の領域の両側に形成された2つの第2導電型の領域と、前記半導体層上に前記第1及び第2導電型の領域の境界を跨ってそれぞれ配置された2つのメモリ機能体と、該メモリ機能体のそれぞれに接しかつ第1導電型の領域上に絶縁膜を介して設けられた電極とを有する半導体記憶装置が提供される。

さらに、半導体層内に形成されたチャネル領域と、該チャネル領域の両側に設けられた可変抵抗領域と、該可変抵抗領域を介してチャネル領域の両側に設けられた2つの拡散領域と、チャネル領域上にゲート絶縁膜を介して設けられたゲート電極と、該ゲート電極の両側に、可変抵抗領域と拡散領域の一部とを跨るように配置された2つのメモリ機能体とを備える半導体記憶装置が提供される。

また、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極

下に配置されたチャネル領域と、該チャネル領域の両側に配置され、該チャネル領域と逆導電型を有する拡散領域と、該ゲート電極の両側であって前記拡散領域にオーバーラップして形成された、電荷を保持するためのメモリ機能体からなる半導体記憶装置が提供される。

- 5 さらに、半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体層と、該半導体基板又は半導体層上にゲート絶縁膜を介して形成された単一のゲート電極と、該ゲート電極下に配置されたチャネル領域と、該チャネル領域の両側に形成された2つの拡散領域と、前記ゲート電極の両側であって前記拡散領域にオーバーラップして形成された2つのメモリ機能体とからなるメモリセルを1つ以上有してなる半導体記憶装置が提供される。
- 10

- また、半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体層と、該半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体層上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成された単一のゲート電極と、該ゲート電極直下に配置されたチャネル領域と、チャネル領域
- 15 の両側に配置された2つの拡散領域と、前記ゲート電極の両側であって、拡散領域にオーバーラップして形成された側壁絶縁膜からなるメモリセルを1つ以上有してなり、前記側壁絶縁膜が電荷を保持する機能を有してなる半導体記憶装置が提供される。
- 。

- さらに、半導体基板と、該半導体基板内に形成された第1導電型のウェル領域と、
- 20 該ウェル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成された複数のワード線と、該ワード線の両側にそれぞれ形成された複数の第2導電型の拡散領域と、少なくとも該拡散領域の一部の上、もしくは前記ウェル領域の一部から拡散領域の一部の上に跨って、前記複数のワード線の両側に、前記ワード線、ウェル領域、拡散領域に対して直接又は絶縁膜を介して形成された、電荷を蓄積又はトラップする機能を有する電荷保持膜と、前記拡散領域と接続され、前記ワード線と交差する方向に伸びる複数のビット線からなる半導体記憶装置が提供される。
- 25

また、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と、該メモリ機能体の前記ゲート電極と反対側のそれぞれに配置された2つの拡散領域と、前記ゲート電極

下に配置されたチャネル領域とからなり、前記メモリ機能体は電荷を保持する機能を有する膜を含み、該電荷を保持する機能を有する膜の少なくとも一部が前記拡散領域の一部にオーバーラップするように形成されてなる半導体記憶装置が提供される。

- さらに、第1導電型の半導体層と、該第1導電型の半導体層上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と、該メモリ機能体の前記ゲート電極と反対側のそれぞれに配置された2つの第2導電型の拡散領域とからなり、前記メモリ機能体は電荷を保持する機能を有する膜を含み、該電荷を保持する機能を有する膜の少なくとも一部と拡散領域の少なくとも一部とがオーバーラップしており、前記第1導電型の半導体層は、前記メモリ機能体の下かつ前記拡散領域近傍で、上記ゲート電極下における第1導電型の半導体層表面近傍よりも高濃度の第1導電型の高濃度領域を有している半導体記憶装置が提供される。

- また、ゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と、該メモリ機能体の前記ゲート電極と反対側のそれぞれに配置された2つの拡散領域と、前記ゲート電極下に配置されたチャネル領域とからなり、チャネル長方向における前記ゲート電極長をA、前記拡散領域間のチャネル長をB、前記一方のメモリ機能体の端から他方のメモリ機能体の端までの距離をCとすると、 $A < B < C$ なる関係が成り立つ半導体記憶装置が提供される。

- さらに、ゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と、該メモリ機能体の前記ゲート電極と反対側のそれぞれに配置された2つのN型拡散領域と、前記ゲート電極下に配置されたチャネル領域とからなり、前記メモリ機能体に電子を注入して記憶状態を変化させる時と、該メモリ機能体の記憶状態を読み出す時とで、上記拡散領域の一方及び他方に印加する電圧の大小関係が逆に設定される半導体記憶装置が提供される。

また、ゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と、該メモリ機能体の前記ゲート電極と反対側のそれぞれに配置された2つのP型拡散領域と、前記ゲート

ト電極下に配置されたチャネル領域とからなり、前記メモリ機能体にホールを注入して記憶状態を変化させる時と、該メモリ機能体の記憶状態を読み出す時とで、上記ソース／ドレイン領域の一方及び他方に印加する電圧の大小関係が逆に設定される半導体記憶装置が提供される。

- 5 さらに、半導体基板上にゲート絶縁膜及びゲート電極を形成し、電荷を蓄積又はトラップする機能を有する絶縁膜を得られた基板上全面に堆積し、該絶縁膜を選択的にエッチングしてゲート電極の側壁に側壁絶縁膜を形成することからなる半導体記憶装置の製造方法が提供される。

- また、別の観点から、P型半導体基板、半導体基板中に形成されたP型ウェル領域又は絶縁体上に配置されたP型半導体層上に形成された、1つのゲート電極と、該1つのゲート電極下方に配置されたチャネル領域と、該チャネル領域の両側に位置する2つのN型ソース／ドレイン領域と、該ソース／ドレイン領域近傍に存在するメモリ機能体からなる半導体記憶装置に対して、一方のソース／ドレイン領域を基準電圧とし、前記ゲート電極を基準電圧よりも低い電圧に設定し、前記半導体基板、半導体基板中に形成された前記ウェル領域又は絶縁体上に形成された前記半導体層を基準電圧よりも高い電圧に設定し、他方のソース・ドレイン領域を、前記半導体基板、半導体基板中に形成された前記ウェル領域又は絶縁体上に形成された前記半導体層よりも高い電圧に設定することにより、ホールを前記メモリ機能体に注入する半導体記憶装置の動作方法が提供される。

- 20 さらに、N型半導体基板、半導体基板中に形成されたN型ウェル領域又は絶縁体上に配置されたN型半導体層上に形成された、1つのゲート電極と、該1つのゲート電極下方のチャネル領域と、該チャネル領域の両側に位置する2つのP型ソース・ドレイン領域と、該ソース／ドレイン領域近傍に存在するメモリ機能体からなる半導体記憶装置に対して、一方のソース・ドレイン領域を基準電圧とし、前記ゲート電極を基準電圧よりも高い電圧に設定し、前記半導体基板、半導体基板中に形成された前記ウェル領域又は絶縁体上に配置された前記半導体層を基準電圧よりも低い電圧に設定し、他方のソース・ドレイン領域を、半導体基板、半導体基板中に形成された前記ウェル領域又は絶縁体上に配置された前記半導体層よりも低い電圧に設定することにより、電子を前記メモリ機能体に注入する半導体記憶装置の動作方法が提供される。

また、上記半導体記憶装置を備えた携帯電子機器が提供される。

図面の簡単な説明

図 1 は本発明の半導体記憶装置（実施の形態 1）の要部の概略断面図及び等価回路
5 図である。

図 2 は本発明の半導体記憶装置（実施の形態 1）の変形を示す要部の概略断面図である。

図 3 は本発明の半導体記憶装置（実施の形態 2）の要部の概略断面図である。

図 4 は本発明の半導体記憶装置（実施の形態 3）の要部の概略断面図である。

10 図 5 は本発明の半導体記憶装置（実施の形態 4）の製造方法を説明するための要部の概略断面工程図である。

図 6 は本発明の半導体記憶装置（実施の形態 4）の電荷保持膜の機能を説明するための回路図である。

図 7 は本発明の半導体記憶装置（実施の形態 5）を示す要部の概略断面図である。

15 図 8 は本発明の半導体記憶装置（実施の形態 6）を示す要部の概略断面図である。

図 9 は本発明の半導体記憶装置（実施の形態 6）の書込み動作を説明するための要部の概略断面図である。

図 10 は本発明の半導体記憶装置（実施の形態 6）の読み出し動作を説明するための要部の概略断面図である。

20 図 11 は本発明の半導体記憶装置（実施の形態 6）の消去動作を説明するための要部の概略断面図である。

図 12 は本発明の半導体記憶装置（実施の形態 7）を示す要部の概略断面図である。

図 13 は本発明の半導体記憶装置（実施の形態 8）を示す要部の概略断面図である。

25 。

図 14 は本発明の半導体記憶装置（実施の形態 9）を示す要部の概略断面図である。

図 15 は本発明の半導体記憶装置（実施の形態 10）を示す要部の概略断面図である。

図 1 6 は本発明の半導体記憶装置（実施の形態 1 0）の製造方法を説明するための要部の概略断面工程図である。

図 1 7 は本発明の半導体記憶装置（実施の形態 1 1）を示す要部の概略断面図である。

5 図 1 8 は本発明の半導体記憶装置（実施の形態 1 1）の製造方法を説明するための要部の概略断面工程図である。

図 1 9 は本発明の半導体記憶装置（実施の形態 1 2）を示す要部の概略断面図である。

10 図 2 0 は本発明の半導体記憶装置（実施の形態 1 3）を示す要部の概略断面図である。

図 2 1 及び図 2 2 は本発明の半導体記憶装置（実施の形態 1 3）の製造方法を説明するための要部の概略断面工程図である。

図 2 3 は本発明の半導体記憶装置（実施の形態 1 4）の要部の概略断面図である。

図 2 4 は本発明の半導体記憶装置（実施の形態 1 5）の要部の概略断面図である。

15 図 2 5 及び図 2 6 は図 2 4 の要部の拡大概略断面図である。

図 2 7 は本発明の半導体記憶装置（実施の形態 1 5）の電気特性を示すグラフである。

図 2 8 は本発明の半導体記憶装置（実施の形態 1 5）の変形の要部の概略断面図である。

20 図 2 9 は本発明の半導体記憶装置（実施の形態 1 6）の要部の概略断面図である。

図 3 0 は本発明の半導体記憶装置（実施の形態 1 7）の要部の概略断面図である。

図 3 1 は本発明の半導体記憶装置（実施の形態 1 8）の要部の概略断面図である。

図 3 2 は本発明の半導体記憶装置（実施の形態 1 9）の要部の概略断面図である。

図 3 3 は本発明の半導体記憶装置（実施の形態 2 0）の要部の概略断面図である。

25 図 3 4 は本発明の半導体記憶装置（実施の形態 2 1）の要部の概略断面図である。

図 3 5 は本発明の半導体記憶装置を組み込んだ携帯電子機器の概略構成図である。

図 3 6 は従来の半導体記憶装置を示す要部の概略断面図である。

発明を実施するための最良の形態

以下に、本発明の半導体記憶装置、その製造方法及び携帯電子機器について、図面に基づいて詳細に説明する。なお、以下に説明においては、導電型は逆であってもよいし、各実施の形態において説明されている構成要件は、他の実施の形態において適用してもよい。

5

実施の形態 1

本実施の形態の半導体記憶装置は、可変抵抗を有して実質的に 1 つの 3 端子素子により構成される。

図 1 (a) は、本発明の半導体記憶装置の一例として、液晶 T F T 表示素子のガラス
10 スパネル上に形成された記憶装置のメモリセルの概略断面図である。この記憶装置は画像調整用に用いられる。また、図 1 (b) は、メモリセルの等価回路図である。

このメモリセルは、図 1 (a) に示したように、ガラスパネル 6 0 1 上の半導体層
6 0 2 内に形成された P 型拡散領域 6 0 3 と、半導体層 6 0 2 内に P 型拡散領域 6 0
3 と接して形成された N 型拡散領域 6 0 4 と、半導体層 6 0 2 上に、P 型拡散領域 6
15 0 3 と N 型拡散領域 6 0 4 との境界を跨って配置されたメモリ機能体 6 0 5 と、このメモリ機能体 6 0 5 に接し、P 型拡散領域 6 0 3 上に絶縁膜 6 0 6 を介して形成され
P 型拡散領域 6 0 3 とは絶縁された単一の電極 6 0 7 とを有している。さらに、P 型
拡散領域 6 0 3 の表面には高融点金属シリサイド膜 6 0 8 が形成されており、この高
融点金属シリサイド膜 6 0 8 には配線 6 0 9 a が接続されている。また、N 型拡散領
20 域 6 0 4 の表面にも高融点金属シリサイド膜 6 0 8 が形成されており、この高融点金
属シリサイド膜 6 0 8 には配線 6 0 9 b が接続されている。配線 6 0 9 a、6 0 9 b
は、それぞれ層間絶縁膜 6 1 0 に開口したコンタクト孔を埋めるコンタクトプラグ 6
1 2 を介して高融点金属シリサイド 6 0 8 に接続されている。

また、図 1 (b) に示すように、P 型拡散領域 6 0 3 の表面付近であって電極 6 0
25 7 下の部分は、スイッチ機能を有しており、P 型拡散領域 6 0 3 の表面付近であって
メモリ機能体 6 0 5 の下の部分は、可変抵抗 A となっている。電極 6 0 7 は、スイ
ッチを切り替える入力端子としての機能を有している。スイッチ及び可変抵抗 A は、電
極 6 0 7 とこの電極 6 0 7 に隣接して形成された (電極 6 0 7 の側壁に形成された)
メモリ機能体 6 0 5 との下に隣接して形成されている。つまり、スイッチと可変抵抗

Aとは、電極607とメモリ機能体605との境界で規定される位置において互いに隣接して形成されており、実質的に一体である。したがって、スイッチと可変抵抗と電極607とは、1つの素子631から構成される。

5 なお、メモリセルを複数個配列してメモリセルアレイを構成する場合には、電極607をワード線622に、素子631の一端をビット線623に接続すればよい。

このメモリセルは、P型拡散領域603と、N型拡散領域604と、選択ワード線として機能する電極607とのそれぞれに所定の電圧を与えることにより、読み出し及び書き換えを行うことができる。

10 例えば、P型拡散領域603の電圧を基準電位とし、N型拡散領域604に、基準電位に対して正方向の電圧を印加する。この際、電極607を非選択状態（例えば、基準電圧印加状態）にしておくと電極607の下はP型のままである。そのため、P型拡散領域603とN型拡散領域604とのPN接合が逆バイアス状態となり、配線609aと配線609bとの間には、PN逆方向電流しか流れず、電流値としてはほとんど無視できる。これに対し、電極607を選択状態（例えば、基準電圧に対して
15 正方向に電圧を印加）にすると、電極607の下はN型に反転するため、可変抵抗Aの抵抗値に従った電流が流れる。したがって、この電流を検知することにより、メモリ情報を読み出すことができる。

可変抵抗Aの抵抗値は、メモリ機能体605内に蓄えられた電荷量によって変化させる、すなわち書き換えを行うことができる。メモリ機能体605内に電荷を蓄える
20 ために、P型拡散領域603を基準電圧として、N型拡散領域604に読み出し時と比較して非常に大きな逆バイアス電圧（例えば、読み出し時の電位差の3倍以上）を印加することにより、バンド間トンネル電流を利用する。つまり、電極607を基準電圧に対して正に印加すると電子が、負に印加するとホールが、それぞれメモリ機能体605内に蓄えられる。また、P型拡散領域603を基準電圧として、N型拡散領域604に比較的大きな逆バイアス（例えば、読み出し時の2～3倍程度）を印加し
25 、同時に電極607に正電圧を印加することにより、チャネルホット電子によりメモリ機能体605内に電荷を蓄えてもよいし、これらの両者により、メモリ機能体605内に電荷を蓄えてもよい。

なお、N型拡散領域604とP型拡散領域603とが、逆導電型の場合には、上記

印加電圧の符号を全て反対にすることにより、同様に書き換え動作を行うことができる。

このように、この実施の形態のメモリセルは、実質的に1つの素子から構成され、1つの素子はわずか3端子を有するのみである。したがって、半導体記憶装置の微細化及び高集積化を実現することができる。

メモリ機能体605は、少なくとも、電荷を保持する領域又は電荷を蓄え、保持する機能を有する膜を含んで構成される。さらに、メモリ機能体605は、電荷を逃げていく領域又は電荷を逃げていく機能を有する膜を含むことが好ましい。例えば、メモリ機能体605において、P型拡散領域603、N型拡散領域604及び電極607と接触する面を、電荷を逃げていく領域等で構成し、電荷を保持する領域が直接P型拡散領域603、N型拡散領域604及び電極607と接触しないようにすることにより、飛躍的に記憶保持時間の信頼性を向上させることができる。ただし、メモリ機能体605における電荷を保持する領域等は、P型拡散領域603とN型拡散領域604との境界を跨って配置されていることが、読み出し速度を向上させる上で非常に重要である。

電極607は、メモリ機能体605の側壁のみに形成されるか、あるいはメモリ機能体605の上部を覆わないことが好ましい。このような配置により、コンタクトプラグ612と電極607又はコンタクトプラグ612とメモリ機能体605との距離を近づけて又は重なるように配置して、微細化を図る場合においても、電極607と配線609bとが短絡することを防止することができる。

高融点金属シリサイド膜608は、チタン、タンタル、モリブデン、タングステン等の高融点金属によるシリサイドにより形成することができ、P型拡散領域603及びN型拡散領域604と高融点金属シリサイド膜608とはオーミック接続、ショットキー接続のいずれでもよい。

なお、配線609aとP型拡散領域603との接続は、図2に示すように、高融点金属シリサイド膜608を形成せずに、P型拡散領域603の中にN型拡散領域611を形成して、このN型拡散領域を介して行ってもよい。

実施の形態2

本発明の半導体記憶装置は、図3に示したように、電極807の両側にメモリ機能膜805を形成してもよい。つまり、実施の形態1に示したメモリセルの電極607を中心に左右対称とする以外は、実施の形態1のメモリセルと実質的に同様の構成としてもよい。

- 5 このような構成により、実施の形態1と比較して、さらに集積度を向上させることができる。

つまり、電極807により、2つのメモリ機能体805の記憶情報（メモリ機能体805内に蓄積されている電荷量に応じた可変抵抗Aの抵抗情報）を、2つのN型拡散領域804間に流れる電流量として、それぞれ独立に読み出すことができる。例えば、2つのN型拡散領域804の一方を基準電圧とし、電極807に正電圧を印加してP型拡散領域803に反転層を形成させる。この際さらに、他方のN型拡散領域804に、反転層の一部が消失する（空乏層となる）のに十分な正電圧を印加する。これにより、反転層が消失した側の可変抵抗Aは、空乏化により実質的に可変抵抗機能を失う。したがって、一方のN型拡散領域804の側にある可変抵抗Aの情報のみを、2つのN型拡散領域804間に流れる電流量として読み出すことができる。

このような方法により、2つのメモリ機能体805のそれぞれに、独立して電荷を蓄積させ、独立して読み出すことにより、1つのメモリセルで2ビット（4値）の情報を記憶することができる。

さらに、それぞれのメモリ機能体に蓄積する電荷量を多値化（3値以上）することにより、より記憶量を増やすことが可能である。例えば、それぞれのメモリ機能体805に3値の記憶を行えば、1つのメモリセルあたり9値の記憶ができ、1つのメモリ機能体に4値の記憶を行えば16値（4ビット）の記憶ができ、1つのメモリ機能体に8値の記憶を行えば64値（6ビット）の記憶ができる。

25 実施の形態3

この実施の形態のメモリセルは、図4に示したように、SOI基板900上に、ロジックLSIと不揮発性メモリとを混載してFPGA（Field Programmable Gate Array）を構成するものであり、可変抵抗領域902が別途形成されている。

つまり、このメモリセルは、N型シリコン層によって形成されるチャネル領域90

1 と、このチャネル領域 901 の両側に形成された可変抵抗領域 902 と、これら可変抵抗領域 902 を介してチャネル領域 901 の両側に設けられた N 型の拡散領域 903 と、チャネル領域 901 上にゲート絶縁膜 904 を介して設けられたゲート電極 905 と、このゲート電極 905 の両側であって、可変抵抗領域 902 と拡散領域 903 の一部とを跨るように配置された 2 つのメモリ機能体 906 とから構成される。

可変抵抗領域 902 は、P 型不純物が支配的に導入された、すなわち、P 型不純物濃度が N 型不純物濃度よりも高く導入されたシリコン層であり、チャネル領域 901 と拡散領域 903 とに挟まれたために、空乏化している。この空乏化は、完全空乏化であってもよいし、部分空乏化であってもよい。

メモリ機能体 906 は、ONO 膜（シリコン酸化膜 9061、シリコン窒化膜 9062、シリコン酸化膜 9063）により形成されており、電荷を蓄え、保持する機能を有する膜として L 字状のシリコン窒化膜を用いた。

なお、チャネル領域 901 と、拡散領域 903 とは、同じ導電型でなくてもよい。重要なことは、可変抵抗領域 902 に、拡散領域とは逆導電型を与える不純物を、同導電型を与える不純物よりも多く導入することである。

このメモリセルは、メモリ機能体 906 に蓄えられた電荷によって可変抵抗領域 902 の抵抗を変化させることができる。具体的には、メモリ機能体 906 に蓄えられた電荷によって、可変抵抗領域 902 において P 型の性質がより強くなったり、N 型の性質がより強くなったりする。ゲート電極 905 に正電圧を加えることにより、ゲート電極 905 側壁から発生する回りこみ電界によって、可変抵抗領域 902 と拡散領域 903 との障壁が低下し、拡散領域 903 とチャネル領域 901 との間で電流が流れる。その電流が、可変抵抗領域 902 の抵抗値によって変化することにより、メモリ効果が生じる。

例えば、一方の拡散領域 903 の電圧を基準電位として、ゲート電極 905 に正方向の電圧を印加する。このとき、他方の拡散領域 903 に印加する電圧を基準電位に対して正方向に印加する。他方の拡散領域 903 に印加する電圧は、他方の拡散領域 903 の側において、ゲート電極 905 側壁からの回りこみ電界よりも他方の拡散領域 903 からの電界が支配的になって可変抵抗領域 902 が空乏化するまで、電圧を

高くする。このような電圧印加条件であれば、正の電圧を印加した他方の拡散領域 903 側の可変抵抗領域 902 においては、拡散領域電界の影響が支配的な空乏層に変化し、可変抵抗機能が消失する。したがって、一方の拡散領域 903 側（基準電圧印加）の可変抵抗領域 902 の情報のみを記憶情報として、つまり、可変抵抗領域 902 の記憶情報を独立に、2つの領域 903 間に流れる電流量として読み出すことができる。ここで、可変抵抗領域 902 が、N型が支配的な場合、つまり拡散領域が P 型の場合は、上記印加電圧の符号を全て反対にすることにより、同様に読み出し動作を行うことができる。

10 なお、この実施の形態では、ゲート電極下の電流が流れる領域をチャネル領域と定義している。

実施の形態 4

この実施の形態の半導体記憶装置を構成するメモリセルは、2ビットの記憶が可能な不揮発性メモリセルとして、図 5 (c) に示したように、半導体基板 1 上に、ゲート絶縁膜 2 を介して、通常のトランジスタと同程度のゲート長を有するゲート電極 3
15 が形成されており、ゲート絶縁膜 2 及びゲート電極 3 の側壁に、サイドウォールスペーサ（側壁絶縁膜）形状のメモリ機能体となる電荷保持膜 4 が形成されて構成されている。ゲート電極下の半導体基板表面はチャネル領域 6 となっている。また、チャネル領域 6 の両側にはチャネル領域の導電型、つまり、この実施の形態では、半導体基板表面の導電型と逆導電型の不純物拡散領域からなるソース／ドレイン領域が形成
20 されている。ソース／ドレイン領域は、高濃度不純物拡散領域 7 と低濃度不純物拡散領域 8 から構成され、チャネル領域 6 近傍に低濃度不純物拡散領域 8 が配置されている。

メモリ機能体は、ソース／ドレイン領域の上に形成されており、少なくともメモリ機能体下に位置するソース／ドレイン領域の一部は、低濃度不純物拡散領域 8 である
25 ことが好ましく、この低濃度不純物拡散領域 8 は、メモリ機能体中に蓄えられた電荷の多寡により、空乏化又は導電型が逆転するように設定されていることが好ましい。

このメモリセルでは、メモリトランジスタのメモリ機能体は、ゲート絶縁膜とは独立して形成されている。つまり、メモリ機能体が担うメモリ機能と、ゲート絶縁膜が

担うトランジスタ動作機能とは分離されている。したがって、メモリ機能体である電荷保持膜4は、メモリ機能に適した材料で形成することができる。

また、高濃度不純物拡散領域7がゲート電極3からオフセットされていることにより、ゲート電極3に電圧を印加したときのメモリ機能体となる電荷保持膜4下の低濃度不純物拡散領域8の反転しやすさを、メモリ機能体となる電荷保持膜4に蓄積された電荷量によって大きく変化させることができ、メモリ効果を増大させることが可能となる。

このメモリセルは、メモリ機能体への電子注入（Nチャネル型素子の場合は書込みと定義）において低濃度不純物拡散領域8が空乏化又は反転する。このため、見かけ上、ゲート電極に対してソース／ドレイン領域がオフセットされたMOSFETと等価の構造となり、ソース／ドレイン領域間の電流量が極端に減少する。これに対し、メモリ機能体へのホール注入（Nチャネル型素子の場合は消去と定義）では、もともと低濃度不純物拡散領域8が形成されているため、イニシャル状態（電子もホールもメモリ機能体に蓄積されていない状態、もしくは、熱平衡状態）と比較して、ソース／ドレイン領域間の電流は大きく変化しない。

したがって、このメモリセルでは、不揮発性メモリ（例えば、EEPROMやFLASH）において大きな問題となる過消去が生じず、過消去対策周辺回路を設ける必要がないという大きな利点がある。

このメモリセルは、通常のロジックトランジスタと同様の工程を経て、形成することができる。

まず、図5（a）に示すように、半導体基板1上に、膜厚1～6 nm程度のシリコン酸窒化膜からなるゲート絶縁膜2及び膜厚50～400 nm程度のポリシリコン、ポリシリコンと高融点金属シリサイドの積層膜又はポリシリコンと金属との積層膜からなるゲート電極材料膜を形成し、所望の形状にパターニングすることによりゲート電極3を形成する。

なお、ゲート絶縁膜及びゲート電極の材料は、上述したように、その時代のスケールリング則に則ったロジックプロセスにおいて使われる材料を用いればよく、上記材料に限定されるものではない。

続いて、ゲート絶縁膜2とは完全に分離して、図5（b）に示すように、得られた

半導体基板 1 上全面に、膜厚 20～100 nm 程度のシリコン窒化膜からなる膜を形成し、異方性エッチングによりエッチバックすることにより、記憶に最適な電荷保持膜 4 を、ゲート電極の側壁にサイドウォールスペーサ状に形成する。なお、シリコン窒化膜の代わりに、膜厚 2～20 nm 程度のシリコン酸化膜と膜厚 2～100 nm 程度のシリコン窒化膜を順次堆積し、異方性エッチングによりエッチバックして記憶に最適な電荷保持膜 4 を、ゲート電極の側壁にサイドウォールスペーサ状に形成することがより好ましい。

その後、図 5 (c) に示すように、ゲート電極 3 及び電荷保持膜 4 をマスクとしてイオン注入することにより、ソース/ドレイン領域（高濃度不純物拡散領域 7 及び低濃度不純物拡散領域 8）を形成する。低濃度不純物拡散領域 8 はメモリ機能体 4 を形成する工程の前にイオン注入により形成してもよい。なお、低濃度不純物拡散領域 8 は、チャネルを形成する不純物と逆導電型で、 $1 \times 10^{16} / \text{cm}^3 \sim 1 \times 10^{18} / \text{cm}^3$ 、さらに、 $1 \times 10^{16} / \text{cm}^3 \sim 5 \times 10^{17} / \text{cm}^3$ の範囲の不純物濃度を有していることが好ましい。

このように、ゲート絶縁膜 2 とメモリ機能体となる電荷保持膜 4 とを分離して配置させることにより、通常のトランジスタと同じ製造工程で、同じ程度の短チャネル効果を有するメモリセルトランジスタを形成できる。したがって、上記の手順で同一チップ上に形成したトランジスタの一部で論理回路部を構成し、その他のトランジスタでメモリ部（例えば、不揮発性メモリ）を構成することができる。この場合、論理回路部はメモリ機能体に電荷が注入されない電圧範囲で動作させれば、トランジスタの特性の変化を防ぐことができ、メモリ部では、メモリ機能体に電荷が注入されるに十分な電圧を印加することにより、書換えを行なうことができる。つまり、論理回路と不揮発性メモリとを極めて簡単な工程で混載させることが可能となる。

従来技術で示した可変抵抗型 2 素子／セル型不揮発性メモリ（MRAM）以外に、代表的な不揮発性メモリとして EEPROM がある。

EEPROM は、図 6 (a) に示したように、コントロールゲート線（CGL）に接続された選択トランジスタ（STr）と、ワード線（WL）に接続され、電荷保持膜（MF）を有するメモリトランジスタ（MTTr）との 2 つのトランジスタにより、メモリセルが構成されていたのに対して、上記構造のメモリセルは、図 6 (b) に示

したように、2つのメモリ機能体による2つの可変抵抗効果によって、1つのゲート電極（つまり、1本のワード線、WL）で、選択トランジスタとメモリトランジスタとの機能を備えたメモリセルを構成できる。すなわち、ソース・ドレイン領域間かつチャンネル領域両端において、ゲート電極両側のメモリ機能体下に配置された可変抵抗が、チャンネル領域と接続されているとみなすことができる。メモリ機能体は、該メモリ機能体に保持された電荷の多寡に対応して、ゲート電極への電圧印加によって、メモリ機能体下に位置する拡散領域の抵抗を変化させ、一方の拡散領域から他方の拡散領域に電流量を変化させるように構成されている。また、1つのメモリセルが、半導体基板に接続された1つの端子と、2つの拡散領域に接続された2つの端子と、ゲート電極に接続された1つの端子との4つの端子のみによって構成されている。さらに、この半導体記憶装置は、半導体基板に与えられる電圧と、ゲート電極に与えられる電圧と、2つの拡散領域のそれぞれに与えられる電圧との4種の電圧印加のみにより、読み出し、書込み又は消去動作のいずれかが行われる。

これにより、1つのメモリセルを選択するために、ゲート電極と接続されている又はゲート電極そのものの機能を有するワード線を1本選択するのみでよい。また、2つのトランジスタを形成する必要がなく、さらなる高集積化が可能となる。換言すれば、ゲート電極つまりコントロールゲート線やワード線の本数が増えてセル面積が小さくならない図6（a）に対し、本発明では、1つのセルに対してワード線1本で動作させることができる。例えば、ワード線を最小加工寸法（最小の配線幅と最小の配線間隔）で形成し、メモリセル領域内に敷き詰めるとすると、1つのメモリセルを構成する上で、1本のワード線ですむ場合は、ワード線が n 本必要な場合と比べて $1/n$ のセル占有面積に縮小できる効果がある。（図6（a）を例にすると、メモリセルを構成するにあたり、ワード線2本必要としており、1つのメモリセルあたり1ビット（2値）の情報を記憶している。これに対し、図6（b）では、ワード線1本で1つのメモリセルを構成しており、1つのメモリセルあたり、2ビット（1つのゲート電極（ワード線）の両側に電荷保持膜があるため）、4値の情報を記憶している。つまり、メモリセルとして、 $1/2$ （ワード線が2本対1本）の占有面積となり、1ビットあたりは、 $1/4$ の占有面積まで縮小できる効果がある。

実施の形態 5

実施の形態 4 におけるシリコン窒化膜によるメモリ機能体（電荷保持膜 4）に代えて、図 7（a）～（e）に示すように、多種多様なメモリ機能体を採用することができる。

5 例えば、図 7（a）に示すように、メモリ機能体は、膜厚 1～20 nm 程度のシリコン酸化膜 4 1、膜厚 2～100 nm 程度のシリコン窒化膜 4 2、膜厚 5～100 nm 程度のシリコン酸化膜 4 3 からなる ONO 膜によって形成されている。

また、メモリ機能体は、図 7（b）に示すように、膜厚 1～20 nm 程度のシリコン酸化膜 4 4、膜厚 2～100 nm 程度のシリコン窒化膜 4 5 からなる ON 膜によっ
10 て形成されていてもよい。

さらに、メモリ機能体は、図 7（c）に示すように、膜厚 1～20 nm 程度のシリコン酸化膜 4 6、膜厚 5～100 nm 程度のシリコン窒化膜 4 7 からなる ON 膜によって形成されており、シリコン窒化膜 4 7 が半導体基板と接触していてもよい。なお、シリコン酸化膜 4 6 とシリコン窒化膜 4 7 とを入れ替えてもよい。

15 また、メモリ機能体は、図 7（d）に示すように、膜厚 1 nm～20 nm 程度のシリコン酸化膜からなる絶縁膜 4 8 を介して膜厚 10～100 nm 程度のポリシリコンからなるフローティングゲート導電膜 4 9 によって形成されていてもよい。なお、導電膜を用いる場合には、メモリ膜表面は図示していないが、絶縁膜で覆われることが好ましい。

20 さらに、メモリ機能体は、図 7（e）のように、膜厚 5～100 nm 程度のシリコン酸化膜、シリコン窒化膜、高誘電体膜等の絶縁体材料からなる絶縁膜 4 8 1 によって形成されており、その絶縁膜 4 8 1 中に、シリコンなどの導電体からなるドット状（直径 1～8 nm 程度）のフローティングゲート導電膜 4 9 1 が 1 つ以上分散されている。

25 上述した構成のメモリ機能体、特にシリコン窒化膜系のメモリ機能体を使用すれば、量産工場に導入しやすく非常に好ましいが、上述する膜構成及び材料に限定されるものではなく、電荷保持機能を有する膜又は電荷保持機能を有する材料（例えば、シリコン窒化膜、リン・ボロン等の不純物を含むシリケートガラス、シリコンカーバイド、アルミナ、ハフニウムオキシド、ジルコニウムオキシド、タンタルオキシド

ド、酸化亜鉛、強誘電体材料等)と絶縁膜の積層構造膜もしくは、絶縁体中に離散的に電荷保持機能を有する材料を含んでいれば、基本的に本発明の半導体記憶装置を実施することができる。

5 実施の形態 6

この実施の形態の半導体記憶装置を構成するメモリセルは、図 8 に示したように、半導体基板中に形成された P 型ウェル 11 の表面に、N 型の第 1 の拡散領域 12 と第 2 の拡散領域 13 とが形成されており、これらの拡散領域 12、13 の間であって、ウェル 11 の最上層部にチャネル領域が形成されている。このチャネル領域上には、
10 膜厚 1～6 nm 程度のシリコン酸化膜又はシリコン窒化膜からなるゲート絶縁膜 14 を介してゲート電極 17 が形成されている。ゲート電極 17 は、拡散領域 12、13 とオーバーラップしておらず、ゲート電極 17 で覆われないチャネル領域 (図 8 中、71) がわずかに残されている。ゲート電極 17 の両端には、電荷を蓄積又はトラップすることにより情報を記憶するため、膜厚 10～100 nm 程度 (半導体基板
15 の水平方向の幅) のシリコン窒化膜からなり、メモリ機能体となる電荷保持膜 15、16 が配置しており、ゲート電極 17 で覆われないチャネル領域 71 が、電荷保持膜 15、16 で覆われている。ここで重要なことは、拡散領域 12、13 とメモリ機能体となる電荷保持膜が少なくとも一部オーバーラップしていることである。

次に、この半導体記憶装置の動作原理を以下に説明する。以下の動作原理は本実施
20 の形態の半導体記憶装置のみならず、本発明の他実施形態の半導体記憶装置においても適用することができる。

この半導体記憶装置の書込み動作原理を、図 9 (a) 及び図 9 (b) を用いて説明する。

ここで、書込みとは、電荷保持膜に電子を注入することを意味する。

25 メモリ機能体となる電荷保持膜 16 に電子を注入する (書込む) ためには、図 9 (a) に示すように、第 1 の拡散領域 12 をソース電極に、第 2 の拡散領域 13 をドレイン電極とする。例えば、第 1 の拡散領域 12 及びウェル 11 に 0 V、第 2 の拡散領域 13 に +6 V、ゲート電極 17 に +2 V を印加すればよい。このような電圧条件によれば、反転層 410 が、第 1 の拡散領域 12 (ソース電極) から伸びるが、第 2 の

拡散領域13（ドレイン電極）に達することなく、ピンチオフ点が発生する。電子は、ピンチオフ点から第2の拡散領域13（ドレイン電極）まで高電界により加速され、いわゆるホットエレクトロンとなる。このホットエレクトロンが電荷保持膜16に注入されることにより書込みが行なわれる。

- 5 なお、電荷保持膜15近傍では、ホットエレクトロンが発生しないため、書込みは行なわれない。また、拡散領域12、13とメモリ機能体となる電荷保持膜がまったくオーバーラップしていない場合も、ホットエレクトロンの発生が抑制され、実用的な印加電圧範囲（電圧差20V以下）で書込みが困難になる。

10 このようにして、メモリ機能体となる電荷保持膜16に電子を注入して、書込みを行なうことができる。

一方、メモリ機能体となる電荷保持膜15に電子を注入する（書込む）ためには、図9（b）に示すように、第2の拡散領域13をソース電極に、第1の拡散領域12をドレイン電極とする。例えば、第2の拡散領域13及びウェル11に0V、第1の拡散領域12に+6V、ゲート電極17に+2Vを印加すればよい。このように、電
15 荷保持膜16に電子を注入する場合とは、ソース／ドレイン領域を入れ替えることにより、電荷保持膜15に電子を注入して、書込みを行なうことができる。

次に、上記半導体記憶装置の読み出し動作原理を、図10を用いて説明する。

メモリ機能体となる電荷保持膜15に記憶された情報を読み出す場合、第1の拡散領域12をソース電極、第2の拡散領域13をドレイン電極とし、トランジスタを飽
20 和領域動作させる。例えば、第1の拡散領域12及びウェル11に0V、第2の拡散領域13に+2V、ゲート電極17に+1Vを印加すればよい。この際、電荷保持膜15に電子が蓄積していない場合には、ドレイン電流が流れやすい。一方、領域15に電子が蓄積している場合は、電荷保持膜15近傍で反転層410が形成されにくいので、ドレイン電流は流れにくい。したがって、ドレイン電流を検出することにより
25 、電荷保持膜15の記憶情報を読み出すことができる。このとき、電荷保持膜16における電荷蓄積の有無は、ドレイン近傍がピンチオフしているため、ドレイン電流に影響を与えない。このように、読出し時においてトランジスタを飽和領域動作させる（ドレイン近傍をピンチオフさせる）ことにより、電荷保持膜16の記憶状況の如何にかかわらず、電荷保持膜15の記憶情報を感度良く検出することができる。このこ

とは、2ビット動作を可能にする大きな要因となっている。

5 以上の説明で明らかなように、メモリ機能体となる電荷保持膜15に電子を注入する（書込む）場合と、電荷保持膜15の記憶情報を読み出す場合とでは、ソース電極とドレイン電極の役割を入れ替えている。言い換えれば、メモリ機能体に電子を注入して記憶状態を変化させる時と、メモリ機能体の記憶状態を読み出す時とで、第1及び第2の拡散領域（ソース／ドレイン領域）の一方及び他方に印加する電圧の大小関係を逆にしている。そのため、以下に述べるようにリードディスタ urbに対する耐性が向上するという効果をも得ることができる。

10 例えば、電荷保持膜15の記憶情報を読み出すために第2の拡散領域13をソース電極とし、第1の拡散領域12をドレイン電極とした（すなわち、書込み動作時と読み出し動作時でソース／ドレイン電極の役割を同じにする）場合、読出し動作毎にわずかな電子が電荷保持膜15に注入される。これは、読出し動作における小さなドレイン電圧によっても、ドレイン電極側では電子が比較的高いエネルギーをもつためである。そのため、書換え動作を行なわないで多数回の読出しを行った場合に、電荷保持膜15の記憶情報が書き換わる恐れがある。

しかし、書込み動作時と読み出し動作時でソース／ドレイン電極の役割を入れ替えば、読出し動作時には電荷保持膜15はソース電極側となるために、このような誤書込みの恐れがない。したがって、リードディスタ urbに対する耐性が向上する。

20 電荷保持膜16に記憶された情報を読み出す場合、第2の拡散領域13をソース電極に、第1の拡散領域12をドレイン電極とし、トランジスタを飽和領域動作させる。例えば、第2の拡散領域13及びウェル11に0V、第1の拡散領域12に+2V、ゲート電極17に+1Vを印加すればよい。このように、電荷保持膜15に記憶された情報を読み出す場合とは、ソース／ドレイン領域を入れ替えることにより、電荷保持膜16に記憶された情報の読出しを行なうことができる。

25 なお、ゲート電極17で覆われないチャネル領域71が残されている場合、ゲート電極17で覆われないチャネル領域においては、電荷保持膜15、16の余剰電子の有無によって反転層が消失又は形成され、その結果、大きなヒステリシス（閾値の変化）が得られる。ただし、ゲート電極17で覆われないチャネル領域71の幅があまり大きいと、ドレイン電流が大きく減少し、読出し速度が大幅に遅くなる。特に、電

荷保持膜15、16と第1、第2の拡散領域がまったくオーバーラップしていない場合は、もはや実用的な記憶装置として機能しないほど読出し速度が遅くなった。したがって、十分なヒステリシスと読出し速度が得られるように、ゲート電極17で覆われないチャンネル領域71の幅を決定することが好ましい。

5 拡散領域12、13がゲート電極17端に達している場合、つまり、拡散領域12、13とゲート電極17とがオーバーラップしている場合であっても、書込み動作によりトランジスタの閾値はほとんど変わらなかったが、ソース/ドレイン端での寄生抵抗が大きく変わり、ドレイン電流は大きく減少（1桁以上）した（本実施の形態では、拡散領域12、13の濃度が濃く、実施の形態4のようにチャンネル近傍の濃度を薄くしていないため、導電型が反転するまでには至らず、閾値はほとんど変わらなかった）。したがって、ドレイン電流の検出により読出しが可能であり、メモリとしての機能を得ることができる。ただし、より大きなメモリヒステリシス効果を必要とする場合、拡散領域12、13とゲート電極17とがオーバーラップしていないほうが好ましい。

15 しかも、拡散領域12、13がゲート電極17端とオフセットしている（すなわち、オーバーラップしていない）場合には、通常のロジックトランジスタと比較して、短チャンネル効果を強力に防止することができ、より一層のゲート長の微細化を図ることができる。また、構造的に短チャンネル効果抑制に適しているため、ロジックトランジスタと比較して膜厚の厚いゲート絶縁膜を採用することができ、信頼性を向上させることが可能となる。

いずれにしても、電荷保持膜15、16と第1、第2の拡散領域をオーバーラップさせることで、電荷保持膜15、16に蓄積される電荷の有無によってゲート電極17で覆われないチャンネル領域71の抵抗が大きく変化するのであるから、実施の形態4での図6（b）における2つの可変抵抗の抵抗を独立に変化させることができる。

25 さらに、上記半導体記憶装置の消去動作原理を説明する。

まず、第1の方法として、メモリ機能体となる電荷保持膜15に記憶された情報を消去する場合、第1の拡散領域12に正電圧（例えば、+6V）、ウェル11に0Vを印加して、第1の拡散領域12とウェル11とのPN接合に逆バイアスをかけ、さらにゲート電極17に負電圧（例えば、-5V）を印加すればよい。このとき、上記

ゲート絶縁膜近傍におけるPN接合では、負電圧が印加されたゲート電極の影響により、特にポテンシャルの勾配が急になる。そのため、バンド間トンネルによりPN接合のウェル領域11側にホットホールが発生する。このホットホールが負の電位をもつゲート電極17方向に引きこまれ、その結果、電荷保持膜15にホール注入が行なわれる。このようにして、電荷保持膜15の消去が行なわれる。このとき第2の拡散領域13には0Vを印加すればよい。

電荷保持膜16に記憶された情報を消去する場合は、上記において第1の拡散領域と第2の拡散領域の電位を入れ替えればよい。

第2の方法として、図11に示すようにメモリ機能体となる電荷保持膜15に記憶された情報を消去する場合、第1の拡散領域12に正電圧（例えば、+5V）、第2の拡散領域13に0V、ゲート電極17に負電圧（例えば、-4V）、ウェル11に正電圧（例えば、0.8V）を印加すればよい。この際、ウェル11と第2の拡散領域13との間に順方向電圧が印加され、ウェル11に電子が注入される。注入された電子は、ウェル11と第1の拡散領域12とのPN接合まで拡散し、そこで強い電界により加速されてホットエレクトロンとなる。このホットエレクトロンは、PN接合において、電子-ホール対を発生させる。PN接合で発生したホットホールは負の電位をもつゲート電極17方向に引きこまれ、その結果、電荷保持膜15にホール注入が行なわれる。

この第2の方法によれば、ウェル11と第1の拡散領域12とのPN接合において、バンド間トンネルによりホットホールが発生するに足りない電圧しか印加されない場合においても、第2の拡散領域13から注入された電子により、ホットホールを発生させることができる。したがって、消去動作時の電圧を低下させることができる。

なお、電荷保持膜15に記憶された情報を消去する場合、第1の消去方法では、第1の拡散領域12に+6Vを印加しなければならなかったが、第2の消去方法では、+5Vで足りた。このように、第2の方法によれば、消去時の電圧を低減することができるので、消費電力が低減され、ホットキャリアによる半導体記憶装置の劣化を抑制することができる。

以上の動作方法により、1トランジスタ当たり選択的に2ビット（4値）の書込み及び消去が可能となる。このため、1ビットあたりの占有面積を小さくして、半導体記憶

装置の製造コストを低減することができる。なお、フラッシュメモリなどで用いられる多値化技術においては、極めて精緻な閾値制御を要していたが、本発明の半導体記憶装置に上記動作方法を適用した場合は、そのような閾値制御を行う必要がない。

また、上記動作方法では、ソース電極とドレイン電極を入れ替えることによって1
5 トランジスタ当り2ビットの書込み及び消去をさせているが、ソース電極とドレイン電極を固定して1ビットメモリとして動作させてもよい。この場合ソース／ドレイン領域の一方を共通固定電圧とすることが可能となり、ソース／ドレイン領域に接続されるビット線の本数を半減できる。

なお、上記読み出し、書込み及び消去の各動作はNチャネル素子の場合について説明したが、Pチャネル素子の場合は全ての印加電圧の符号を反対にすることにより同様の動作を行うことができる。

実施の形態7

この実施の形態の半導体記憶装置は、図12に示すように、実施の形態6における
15 半導体基板をSOI (Silicon on Insulator) 基板とする以外は、実質的に同様の構成を有する。

この半導体記憶装置は、半導体基板81上に埋め込み酸化膜83が形成され、さらにその上にSOI層が形成されている。SOI層内には拡散領域12、13が形成され、それ以外の領域はボディ領域82となっている。

20 この半導体記憶装置によっても、実施の形態6の半導体記憶装置と同様の作用効果を奏する。さらに、拡散領域12、13とボディ領域82との接合容量を著しく小さくすることができるので、素子の高速化や低消費電力化が可能となる。

実施の形態8

25 この実施の形態の半導体記憶装置は、図13に示すように、電荷保持膜15、16とウェル11及び拡散領域12、13との間に、ゲート絶縁膜14が延設されて配置している以外、実施の形態6の半導体記憶装置と実質的に同様の構成を有する。

すなわち、電荷保持膜が、少なくともゲート電極近傍において、拡散領域及び／又はウェル領域もしくはボディ領域 (SOI基板を使用した場合) と、絶縁膜を介して

接している。

この半導体記憶装置によっても、実施の形態6の半導体記憶装置と同様の作用効果を奏する。さらに、電荷保持膜15、16とウェル11及び拡散領域12、13との間のゲート絶縁膜14により、保持電荷の漏れが抑制され、保持特性を向上させることができる。加えて、チャネル領域の全面がゲート絶縁膜14で覆われるため、反転層キャリアの界面散乱を抑制することによりドレイン電流を増加させ、ひいては、読出し速度を向上させることができる。

また、電荷保持膜下の絶縁膜は、ゲート絶縁膜とは別に設計、形成してもよい。ゲート電極は短チャネル効果抑制を優先して設計し、電荷保持膜下の絶縁膜をゲート絶縁膜よりも厚く又は薄く形成してもよい。なお、電荷保持膜はシリコン窒化膜に限る必要はなく、上述した構成、材料の膜でもよい。

実施の形態9

この実施の形態の半導体記憶装置は、図14に示すように、シリコン窒化膜からなる電荷保持膜19が、ゲート電極17のゲート側壁絶縁膜を構成している以外は、実施の形態8の半導体記憶装置と実質的に同様である。

この半導体記憶装置では、実際に電荷が蓄積又はトラップされて記憶が保持されるのは、電荷保持膜19中の領域20、21部分である。

この半導体記憶装置によっても、実施の形態8の半導体記憶装置と同様の作用効果を奏する。さらに、ゲート電極17の側壁が、ゲート側壁絶縁膜状の電荷保持膜19で被覆されているため、電荷保持膜19をマスクとして、拡散領域12、13を形成するためのイオン注入を行えば、拡散領域12、13の端部の位置を制御するのが容易となる。例えば、ゲート電極17で覆われないチャネル領域をわずかに残し、電荷保持膜19によって、ゲート電極17で覆われないチャネル領域を覆うことが容易となる。したがって、大きなヒステリシス（閾値の変化）をもつ半導体記憶装置を容易に作製することができる。

また、電荷保持膜19下の絶縁膜をゲート絶縁膜とは別に設計してもよい。ゲート電極は短チャネル効果抑制を優先して設計、形成し、電荷保持膜下の絶縁膜をゲート絶縁膜よりも厚く又は薄く形成してもよい。

実施の形態 10

この実施の形態の半導体記憶装置は、図 15 に示すように、電荷保持膜 22 が、ゲート絶縁膜 14 上で L 字型に形成されており、シリコン酸化膜からなるゲート側壁絶縁膜 25 で被覆されている以外は、実施の形態 9 の半導体記憶装置と実質的に同様である。

この半導体記憶装置では、実際に電荷が蓄積又はトラップされて記憶が保持されるのは、電荷保持膜 22 中の領域 23、24 部分である。

この実施の形態の半導体記憶装置は、実施の形態 9 の半導体記憶装置と同様の作用効果を奏する。また、電荷保持膜 22 は、ゲート絶縁膜 14 とゲート側壁絶縁膜 25 とに挟まれるため、ONO 膜構造となり、電子やホール注入効率を高めて、動作速度を早めることができる。

この半導体記憶装置の製造方法を、図 16 に基づいて説明する。なお、素子分離領域などの形成は省略する。

まず、図 16 (a) に示すように、P 型のウェル 11 上に、膜厚 1～6 nm 程度のシリコン酸化膜又はシリコン窒化膜、あるいは膜厚 1～100 nm 程度の高誘電膜等からなるゲート絶縁膜 14 を形成し、さらにゲート電極 17 をパターンニングする。

次に、図 16 (b) に示すように、得られた半導体基板上全面に、CVD 法により膜厚 5～20 nm 程度のシリコン窒化膜 53 及び膜厚 20～100 nm 程度のシリコン酸化膜 54 をこの順に堆積する。

なお、図 16 (a) のゲート電極 17 のパターンニング工程の際に露出するゲート絶縁膜がダメージを受けるようなパターンニング工程（エッチング工程）であれば、ゲート電極下以外の露出したゲート絶縁膜を除去した後、酸化又は CVD 法によるシリコン酸化膜やシリコン窒化膜、あるいは CVD 法等による高誘電膜をシリコン窒化膜 53 の下にあらかじめ形成してもよい。

続いて、図 16 (c) に示すようにシリコン酸化膜 54 及びシリコン窒化膜 53 をゲート電極 17 及び半導体基板に対して選択的にエッチバックする。これにより、L 字型のシリコン窒化膜 53 からなる電荷保持膜 22 と、この電荷保持膜 22 を被覆するゲート側壁絶縁膜 25 が形成される。その後、拡散領域 12、13 を形成する。

このように、この実施の形態の半導体記憶装置は、絶縁膜形成工程とエッチバック工程のみの簡単な工程により作製することができる。

実施の形態 1 1

5 この実施の形態の半導体記憶装置は、図 1 7 に示すように、ゲート電極 1 7 が両下端に凹部を有しており、この凹部内にシリコン窒化膜からなる電荷保持膜 1 9 の少なくとも一部が埋設され、電荷保持膜 1 9 とゲート電極 1 7 とがシリコン酸化膜 8 1 により隔てられて構成される以外は、実施の形態 9 の半導体記憶装置と実質的に同様である。

10 この半導体記憶装置によっても、実施の形態 9 の半導体記憶装置と同様の作用効果を奏する。

さらに、消去動作時、図 1 7 の矢印 7 1 で示す領域付近に発生したホットホールが、負電位のゲート電極に引き寄せられ、矢印 7 2 のように、効率よく電荷保持膜 1 9 に注入され、そのため、消去動作を高速にすることができる。

15 なお、この半導体記憶装置では、実際に電荷が蓄積又はトラップされて記憶が保持されるのは、電荷保持膜 1 9 中の、主としてゲート電極の凹部に埋設された部分（矢印 7 2 の先端付近）である。

この半導体記憶装置の製造方法を、図 1 8 に基づいて説明する。なお、素子分離領域などの形成は省略する。

20 まず、図 1 8 (a) に示すように、P 型のウェル 1 1 上に、ゲート絶縁膜 1 4 及びゲート電極 1 7 を形成した後、全面を酸化してシリコン酸化膜 5 1 を形成する。この時のシリコン酸化膜厚は、例えば、5 nm ~ 20 nm とすることができる。この時、ゲート電極 1 7 の両下端には楔状にバースピークが形成される。

次に、図 1 8 (b) に示すように、シリコン酸化膜 5 1 を等方性エッチングにより
25 除去した後、全面を再酸化してシリコン酸化膜 5 2 を形成する。このシリコン酸化膜 5 2 は、電荷保持膜とゲート電極、チャネル領域（ウェル領域）及び拡散領域（ソース／ドレイン領域）とを隔てる絶縁膜となる。この時のシリコン酸化膜厚は、特に限定されるものではないが、半導体記憶装置の書換え特性及び保持特性の両立の観点から、4 nm ~ 20 nm とするのが好ましい。

次に、図18(c)に示すように、シリコン窒化膜を全面に堆積（例えば20nm～200nm）した後エッチングバックを行なうことにより、ゲート側壁絶縁膜状の電荷保持膜19を形成する。その後、電荷保持膜19をマスクとして不純物イオン注入及び熱処理を行うことにより拡散領域12、13を形成して半導体記憶装置が完成する（上部配線等は省略した）。

実施の形態12

この実施の形態の半導体記憶装置は、図19に示すように、少なくともその一部がゲート電極17の凹部内に埋設されたシリコン窒化膜からなる電荷保持膜82が、シリコン酸化膜81、83に挟まれて構成される以外は、実施の形態11の半導体記憶装置と実質的に同様である。

この半導体記憶装置によっても、実施の形態11の半導体記憶装置と同様の作用効果を奏する。また、電荷保持膜82は、シリコン酸化膜81、83に挟まれたONO膜構造であるため、電子やホール注入効率を高めて、動作速度を早くすることができる。

この半導体記憶装置は、例えば、実施の形態11の半導体記憶装置を形成する方法において、図18(b)の状態の後にシリコン窒化膜（例えば、5nm～15nm）とシリコン酸化膜（例えば20nm～200nm）をこの順に堆積し、シリコン酸化膜及びシリコン窒化膜をエッチングバックすることにより形成することができる。

実施の形態13

この実施の形態の半導体記憶装置は、図20に示すように、素子分離領域31を有する半導体基板中に形成されたP型ウェル11上に、膜厚1～6nm程度のシリコン酸化膜からなるゲート絶縁膜14を介してゲート電極17が形成されている。ゲート電極17の側壁には、膜厚20～100nm程度のシリコン窒化膜からなる電荷保持膜32が形成されている。なお、電荷保持膜の形態は本実施例の形態に限るものではなくこれまで示したような様々な形態がある。電荷保持膜32の側壁には、さらに、ポリシリコンからなるサイドウォール26、27が形成されている。また、このサイドウォール26、27の直下のウェル11表面には、N型の不純物が染み出して、N

型領域 28、29 がそれぞれ形成されている。サイドウォール 26 と N 型領域 28 とは一体となって第 1 の拡散領域を構成し、同様にサイドウォール 27 と N 型領域 29 とは第 2 の拡散領域を構成する。素子分離領域 31 の表面は、シリコン窒化膜 30 により覆われている。

- 5 この半導体記憶装置において、実際に電荷が蓄積又はトラップされて記憶が保持されるのは、電荷保持膜 32 中の領域 23、24 部分である。

この半導体記憶装置は、拡散領域がポリシリコンからなるライズド構造であるため、浅い接合化が極めて容易である。したがって、短チャネル効果を極めて効果的に抑制し、素子の微細化を図ることができる。

- 10 また、図示しないが、拡散領域にコンタクトを設ける際のマージンを、ライズド構造をもたない場合に比べて小さくすることができる。よって、拡散領域とウェルとの接合面積を著しく小さくして、接合容量を小さくすることができる。これにより、高速に動作させることができ、かつ消費電力を抑えることができる。

- さらに、この半導体記憶装置は、書込みがなされない程度の低電圧で動作させれば、低消費電力化、高速動作化及び微細化が可能な通常の電界効果トランジスタとして、
15 論理回路を構成することができる。すなわち、全く共通の構造をもつ素子が、論理回路を構成する素子としても、メモリ回路を構成する素子としても使用できる。したがって、論理回路とメモリ回路との混載プロセスを非常に簡単にすることができる。

この半導体記憶装置を形成する方法を、図 21 及び図 22 を用いて説明する。

- 20 まず、図 21 (a) に示すように、半導体基板内に P 型のウェル 11 を形成し、続いて、例えば STI 法を用いて素子分離領域 31 を形成する。得られたウェル 11 上に、膜厚 1~6 nm 程度のシリコン酸化膜からなるゲート絶縁膜 14 を形成する。次に、ゲート電極となるポリシリコン膜と絶縁膜 55 とをこの順に堆積する。その後、所定の形状のレジストパターンをマスクとして用いて、ポリシリコン膜及び絶縁膜 55 をパターニングする。また、レジストパターンをマスクとして絶縁膜 55 のみをパ
25 ターニングし、レジストパターンを除去した後絶縁膜 55 をマスクとしてポリシリコン膜をエッチングしてもよい。これにより、絶縁膜 55 からなるキャップを有するゲート電極 17 が形成される。

次に、図 21 (b) に示すように、得られた半導体基板上全面に、シリコン窒化膜

5 8を堆積し、素子分離領域3 1上をレジストパターン5 6でマスクする。

続いて、図2 1 (c) に示すように、レジストパターン5 6をマスクとして用いて、シリコン窒化膜5 8をエッチバックすることにより、ゲート電極1 7及び絶縁膜5 5の側壁にシリコン窒化膜による電荷保持膜3 2を形成するとともに、素子分離領域
5 3 1上に、シリコン窒化膜3 0を残す。シリコン窒化膜3 0は、後工程のエッチング工程において、半導体基板及び素子分離領域3 1を保護する。特に、後述するポリシリコンによるサイドウォール2 6、2 7を形成する際のエッチバック工程と、絶縁膜5 5を除去するためのエッチング工程と、拡散領域上にコンタクト孔を形成する際のエッチング工程で重要である。

10 次いで、図2 2 (d) に示すように、得られた半導体基板上全面に、ポリシリコン膜5 7を堆積する。

次に、ポリシリコン膜5 7を絶縁膜5 5が露出するまでエッチバックする。この際、ポリシリコン膜5 7は、その一部がシリコン窒化膜3 0上にまでおよび、これらによって、素子分離領域3 1を完全に被覆することが好ましい。

15 その後、図2 2 (e) に示すように、絶縁膜5 5を、等方性エッチングにより除去する。なお、これらのエッチングの際に、シリコン窒化膜3 0がストッパーとなり、素子分離領域3 1がオーバーエッチングされるのを防止することができる。続いて、所定形状のレジストパターンをマスクとして用いて、ポリシリコン膜5 7の一部を異方性エッチングで除去して、互いに分離したサイドウォール2 6、2 7を形成する。
20 これにより、サイドウォール2 6、2 7に、不純物注入すると、それぞれが拡散領域（ソース領域又はドレイン領域）を構成する。

次に、ゲート電極1 7及びサイドウォール2 6、2 7に不純物をイオン注入し、不純物活性化のためのアニールを行なう。これにより、不純物イオンはウェル1 1中に拡散して領域2 8、2 9を形成し、サイドウォール2 6、2 7と一体となって、それ
25 ぞれ拡散領域を形成する。

この半導体記憶装置によれば、1 トランジスタ当り2 ビットの記憶を実現しながら、短チャネル効果が極めて抑制され、微細化が可能となる。また、高速動作と低消費電力化が可能である。

さらに、この半導体記憶装置は、そのまま論理回路を構成するトランジスタとして

も使用可能であるから、論理回路とメモリ回路との混載プロセスを非常に簡単にすることができる。

加えて、サイドウォール26、27に注入された不純物イオンをウェル11へ固層拡散させることにより、非常に急峻なプロファイルをもつソース/ドレイン領域とウェル領域との接合を形成することができる。つまり、 10^{20} cm^{-3} 以上の不純物濃度をもつソース/ドレイン領域と、 10^{18} cm^{-3} 以上の不純物濃度をもつウェルとの間で急峻プロファイル接合を形成することができ、ゲート電極に1V印加した時のドレイン耐圧が3V以下とすることができる。このため、ゲート電極3V、N型のソース/ドレイン領域の一方及びウェルをGND、N型のソース/ドレイン領域の他方を3Vに設定するだけで、3Vに設定した方のソース/ドレイン領域近傍の電荷保持膜に電子を注入することができる。また、逆に、ゲート電極に-2V、N型のソース/ドレイン領域の一方をGND、ウェルを0.8V（PN接合のビルトインポテンシャル程度の電圧又はPN接合のビルトインポテンシャルよりも若干高い電圧）、N型のソース/ドレイン領域の他方を3Vに設定するだけで、3Vに設定した方のソース/ドレイン領域近傍の電荷保持膜にホールを注入することができる。このように、ソース/ドレイン領域とウェル領域との接合を急峻なプロファイルに設計することにより、ドレイン耐圧を低く設定でき、この効果によって、書込消去電圧を低く設定することができる。

実施の形態14

本発明の半導体記憶装置の新たな書込、消去方法を説明する。

この書込・消去方法は、以下に示すように、ビット線とワード線間の電界を利用しているため、例えば、実施の形態13の構造が有効であるが、他の実施形態の構造であっても適用できる。なお、この場合、ゲート電極と接続又はゲート電極そのものの機能を有するワード線と、ソース/ドレイン領域と接続されるビット線を交差するように設けることにより、選択された電荷保持膜のみに大きな電界をかけることができる。

選択ビット線を基準電位（例えば、0V）とする。このとき、選択ワード線に+VDD、非選択ビット線に+2/3VDD、非選択ワード線に+1/3VDDを印加す

る。これにより、選択ワード線と選択ビット線を対抗電極とする電荷保持膜には電界差VDDが印加され、他の電荷保持膜は、すべて電界差 $1/3$ VDDが印加される。電界差VDDで書込・消去ができ、電界差 $1/3$ VDDでは書込・消去が起こらない電荷保持膜を用いれば、ランダムアクセス書込・消去可能となる。この方法では、トンネル電流によって書込・消去が直接行われるため、低電流で書込消去が可能となり、低消費電力化の効果がある。

また、バルク基板を用いた大規模集積メモリは、図23(a)及び図23(b)に示したように、半導体基板内(半導体基板表面)に形成された第1導電型のウェル領域1901と、該ウェル領域1901上に形成されたゲート絶縁膜1902と、該ゲート絶縁膜上に形成された複数のワード線1903と、前記複数のワード線1903の両側にそれぞれ形成された複数の第2導電型の拡散領域1905と、少なくとも前記拡散領域の一部の上もしくは、前記ウェル領域の一部および拡散領域の一部の上に跨って、前記複数のワード線の両側に、前記ワード線、ウェル領域、拡散領域に対して、直接又は絶縁膜を介して形成された、電荷を蓄積又はトラップする機能を有する電荷保持膜1904と、前記複数の拡散領域と接続され、前記ワード線と交差する方向に伸びる複数のビット線(図示せず)からなる。なお、図23(a)において、1910は素子分離領域を示している。また、図23(b)は、図23(a)のA-A'線における断面図を示している。ビット線(図示せず)と第2導電型の拡散領域(ソース/ドレイン領域)1905を接続する端子(ビット線そのものであってもよい)1907とワード線(ゲート電極)1903間に電荷保持膜1904が挟まれているのが好ましい。この場合、ゲート電極と端子間に直接電界をかけ、選択した2つのノード間で電子又はホール注入、電子又はホールの引き抜きが可能となり、ホットエレクトロンやホットホール注入と比較して、書込・消去効率を向上させることができる。

なお、メモリセルが図23に示すほどには密集していない場合、第2導電型の拡散領域(ソース/ドレイン領域)1905を接続する端子1907と電荷保持膜1904の間には層間絶縁膜が介在することになる。この場合の書込み、消去方法は、本実施の形態に記述した方法よりも、実施の形態6の方法を用いるほうが好ましい。

実施の形態 15

この実施の形態の半導体記憶装置は、メモリ機能体 161、162 が電荷を保持する領域（電荷を蓄える領域であって、電荷を保持する機能を有する膜であつてもよい）と電荷を逃げにくくする領域（電荷を逃げにくくする機能を有する膜であつてもよい）から構成される。例えば、図 24 に示すように、ONO 構造を有している。すなわち、シリコン酸化膜 141 とシリコン酸化膜 143 との間にシリコン窒化膜 142 が挟まれ、メモリ機能体 161、162 を構成している。ここで、シリコン窒化膜は電荷を保持する機能を果たす。また、シリコン酸化膜 141、143 はシリコン窒化膜中に蓄えられた電荷を逃げにくくする機能を有する膜の役割を果たす。

- また、メモリ機能体 161、162 における電荷を保持する領域（シリコン窒化膜 142）は、拡散領域 112、113 とそれぞれオーバーラップしている。ここで、オーバーラップするとは、拡散領域 112、113 の少なくとも一部の領域上に、電荷を保持する領域（シリコン窒化膜 142）の少なくとも一部が存在することを意味する。なお、111 は半導体基板、114 はゲート絶縁膜、117 はゲート電極、171 は（ゲート電極と拡散領域との）オフセット領域である。図示しないが、ゲート絶縁膜 114 下であつて半導体基板 111 最表面部はチャネル領域となる。

メモリ機能体 161、162 における電荷を保持する領域 142 と拡散領域 112、113 とがオーバーラップすることによる効果を説明する。

- 図 25 は、図 24 の右側のメモリ機能体 162 周辺部の拡大図である。W1 はゲート電極 114 と拡散領域 113 とのオフセット量を示す。また、W2 はゲート電極のチャネル長方向の切断面におけるメモリ機能体 162 の幅を示しているが、メモリ機能体 162 のうちシリコン窒化膜 142 のゲート電極 117 と離れた側の端が、ゲート電極 117 から離れた側のメモリ機能体 162 の端と一致しているため、メモリ機能体 162 の幅を W2 として定義した。メモリ機能体 162 と拡散領域 113 とのオーバーラップ量は $W2 - W1$ で表される。特に重要なことは、メモリ機能体 162 のうちシリコン窒化膜 142 が、拡散領域 113 とオーバーラップする、つまり、 $W2 > W1$ なる関係を満たすことである。

なお、図 26 に示すように、メモリ機能体 162a のうちシリコン窒化膜 142a のゲート電極と離れた側の端が、ゲート電極から離れた側のメモリ機能体 162a の

端と一致していない場合は、W2をゲート電極端からシリコン窒化膜142aのゲート電極と遠い側の端までと定義すればよい。

図27は、図25の構造において、メモリ機能体162の幅W2を100nmに固定し、オフセット量W1を変化させたときのドレイン電流I_dを示している。ここで、
5 ドレイン電流は、メモリ機能体162を消去状態（ホールが蓄積されている）とし、
拡散領域112、113をそれぞれソース電極、ドレイン電極として、デバイスシミュレーションにより求めた。

図27から明らかなように、W1が100nm以上（すなわち、シリコン窒化膜142と拡散領域113とがオーバーラップしない）では、ドレイン電流が急速に減少
10 している。ドレイン電流値は、読出し動作速度にほぼ比例するので、W1が100nm以上ではメモリの性能は急速に劣化する。一方、シリコン窒化膜142と拡散領域113とがオーバーラップする範囲においては、ドレイン電流の減少は緩やかである。したがって、電荷を保持する機能を有する膜であるシリコン窒化膜142の少なくとも一部とソース／ドレイン領域とがオーバーラップすることが好ましい。

15 上述したデバイスシミュレーションの結果を踏まえて、W2を100nm固定とし、W1を設計値として60nm及び100nmとして、メモリセルアレイを作製した。W1が60nmの場合、シリコン窒化膜142と拡散領域112、113とは設計値として40nmオーバーラップし、W1が100nmの場合、設計値としてオーバーラップしない。これらのメモリセルアレイの読出し時間を測定した結果、ばらつきを
20 考慮したワーストケースで比較して、W1を設計値として60nmとした場合の方が、読出しアクセス時間で100倍高速であった。実用上、読み出しアクセス時間は1ビットあたり100ナノ秒以下であることが好ましいが、W1=W2では、この条件を到底達成できないことが分かった。また、製造ばらつきまで考慮した場合、W2-W1>10nmであることがより好ましいことが判明した。

25 メモリ機能体161（領域181）に記憶された情報の読み出しは、実施の形態6と同様に、拡散領域112をソース電極とし、拡散領域113をドレイン領域としてチャネル領域中のドレイン領域に近い側にピンチオフ点を形成するのが好ましい。すなわち、2つのメモリ機能体のうち一方に記憶された情報を読み出す時に、ピンチオフ点をチャネル領域内であって、他方のメモリ機能体に近い領域に形成させるのが好

ましい。これにより、メモリ機能体162の記憶状況の如何にかかわらず、メモリ機能体161の記憶情報を感度よく検出することができ、2ビット動作を可能にする大きな要因となる。

一方、2つのメモリ機能体の片側のみに情報を記憶させる場合又は2つのメモリ機能体と同じ記憶状態にして使用する場合には、読出し時に必ずしもピンチオフ点を形成しなくてもよい。

なお、図24には図示していないが、半導体基板111の表面にウェル領域（Nチャネル素子の場合はP型ウェル）を形成することが好ましい。ウェル領域を形成することにより、チャネル領域の不純物濃度をメモリ動作（書換え動作及び読出し動作）に最適にしつつ、その他の電気特性（耐圧、接合容量、短チャネル効果）を制御するのが容易になる。

メモリ機能体は、メモリの保持特性を向上させる観点から、電荷を保持する機能を有する電荷保持膜と絶縁膜とを含んでいるのが好ましい。この実施の形態では、電荷保持膜として電荷をトラップする準位を有するシリコン窒化膜142、絶縁膜として電荷保持膜に蓄積された電荷の散逸を防ぐ働きのあるシリコン酸化膜141、143を用いている。メモリ機能体が電荷保持膜と絶縁膜とを含むことにより電荷の散逸を防いで保持特性を向上させることができる。さらに、メモリ機能体が電荷保持膜のみで構成される場合に比べて電荷保持膜の体積を適度に小さくすることができる。電荷保持膜の体積を適度に小さくすることにより電荷保持膜内での電荷の移動を制限し、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

また、メモリ機能体は、ゲート絶縁膜表面と略平行に配置される電荷保持膜を含むこと、いいかえると、メモリ機能体における電荷保持膜の上面が、ゲート絶縁膜上面から等しい距離に位置するように配置されることが好ましい。具体的には、図28に示したように、メモリ機能体162の電荷保持膜142aが、ゲート絶縁膜114表面と略平行な面を有している。言い換えると、電荷保持膜142aは、ゲート絶縁膜114表面に対応する高さから、均一な高さに形成されることが好ましい。メモリ機能体162中に、ゲート絶縁膜114表面と略平行な電荷保持膜142aがあることにより、電荷保持膜142aに蓄積された電荷の多寡によりオフセット領域171での反転層の形成されやすさを効果的に制御することができ、ひいてはメモリ効果を大

きくすることができる。また、電荷保持膜142aをゲート絶縁膜114の表面と略平行とすることにより、オフセット量(W1)がばらついた場合でもメモリ効果の変化を比較的小さく保つことができ、メモリ効果のばらつきを抑制することができる。しかも、電荷保持膜142a上部方向への電荷の移動が抑制され、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

さらに、メモリ機能体162は、ゲート絶縁膜114の表面と略平行な電荷保持膜142aとチャネル領域(又はウェル領域)とを隔てる絶縁膜(例えば、シリコン酸化膜144のうちオフセット領域171上の部分)を含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性の良い半導体記憶装置を得ることができる。

なお、電荷保持膜142aの膜厚を制御すると共に、電荷保持膜142a下の絶縁膜(シリコン酸化膜144のうちオフセット領域171上の部分)の膜厚を一定に制御することにより、半導体基板表面から電荷保持膜中に蓄えられる電荷までの距離を概ね一定に保つことが可能となる。つまり、半導体基板表面から電荷保持膜中に蓄えられる電荷までの距離を、電荷保持膜142a下の絶縁膜の最小膜厚値から、電荷保持膜142a下の絶縁膜の最大膜厚値と電荷保持膜142aの最大膜厚値との和までの間に制御することができる。これにより、電荷保持膜142aに蓄えられた電荷により発生する電気力線の密度を概ね制御することが可能となり、メモリ素子のメモリ効果の大きさばらつきを非常に小さくすることが可能となる。

実施の形態16

この実施の形態は、メモリ機能体162の電荷保持膜142が、図29に示すように、略均一な膜厚で、ゲート絶縁膜114の表面と略平行に配置され(矢印181)、さらに、ゲート電極117側面と略平行に配置された(矢印182)形状を有している。

ゲート電極117に正電圧が印加された場合には、メモリ機能体162中での電気力線は矢印183のように、シリコン窒化膜142を2回(矢印182及び矢印181が示す部分)通過する。なお、ゲート電極117に負電圧が印加された時は電気力線の向きは反対側となる。ここで、シリコン窒化膜142の比誘電率は約6であり、

シリコン酸化膜 141、143 の比誘電率は約 4 である。したがって、矢印 181 で示す電荷保持膜のみが存在する場合よりも、電気力線 183 方向におけるメモリ機能体 162 の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。すなわち、ゲート電極 117 に印加された電圧の多くの部分が、
5 オフセット領域 171 における電界を強くするために使われることになる。

書換え動作時に電荷がシリコン窒化膜 142 に注入されるのは、発生した電荷がオフセット領域 171 における電界により引き込まれるためである。したがって、矢印 182 で示される電荷保持膜を含むことにより、書換え動作時にメモリ機能体 162 に注入される電荷が増加し、書換え速度が増大する。

10 なお、シリコン酸化膜 143 の部分もシリコン窒化膜であった場合、つまり、電荷保持膜がゲート絶縁膜 114 の表面に対応する高さに対して均一でない場合、シリコン窒化膜の上方向への電荷の移動が顕著になって、保持特性が悪化する。

電荷保持膜は、シリコン窒化膜に代えて、比誘電率が非常大きい酸化ハフニウムなどの高誘電体により形成されることがより好ましい。

15 さらに、メモリ機能体は、ゲート絶縁膜表面と略平行な電荷保持膜とチャネル領域（又はウェル領域）とを隔てる絶縁膜（シリコン酸化膜 141 のうちオフセット領域 171 上の部分）をさらに含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性を向上させることができる。

また、メモリ機能体は、ゲート電極と、ゲート電極側面と略平行な向きに延びた電荷保持膜とを隔てる絶縁膜（シリコン酸化膜 141 のうちゲート電極 117 に接した部分）をさらに含むことが好ましい。この絶縁膜により、ゲート電極から電荷保持膜へ電荷が注入されて電気的特性が変化することを防止し、半導体記憶装置の信頼性を向上させることができる。

25 さらに、実施の形態 15 と同様に、電荷保持膜 142 下の絶縁膜（シリコン酸化膜 141 のうちオフセット領域 171 上の部分）の膜厚を一定に制御すること、さらにゲート電極側面上に配置する絶縁膜（シリコン酸化膜 141 のうちゲート電極 117 に接した部分）の膜厚を一定に制御することが好ましい。これにより、電荷保持膜 142 に蓄えられた電荷により発生する電気力線の密度を概ね制御することができるとともに、電荷リークを防止することができる。

実施の形態 17

この実施の形態は、ゲート電極、メモリ機能体及びソース／ドレイン領域間距離の最適化に関する。

- 5 図30に示したように、Aはチャネル長方向の切断面におけるゲート電極長、Bはソース／ドレイン領域間の距離（チャネル長）、Cは一方のメモリ機能体の端から他方のメモリ機能体の端までの距離、つまり、チャネル長方向の切断面における一方のメモリ機能体内の電荷を保持する機能を有する膜の端（ゲート電極と離れている側）から他方のメモリ機能体内の電荷を保持する機能を有する膜の端（ゲート電極と離れている側）までの距離を示す。

- まず、 $B < C$ であることが好ましい。チャネル領域のうちゲート電極117下の部分とソース／ドレイン領域112、113との間にはオフセット領域171が存する。B<Cにより、メモリ機能体161、162（シリコン窒化膜142）に蓄積された電荷により、オフセット領域171の全領域において、反転の容易性が効果的に変動する。したがって、メモリ効果が増大し、特に読出し動作の高速化が実現する。

- また、ゲート電極117とソース／ドレイン領域112、113がオフセットしている場合、つまり、 $A < B$ が成立する場合には、ゲート電極に電圧を印加したときのオフセット領域の反転のしやすさがメモリ機能体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果を低減することができる。ただし、メモリ効果が発現する限りにおいては、必ずしも存在する必要はない。オフセット領域171がない場合においても、ソース／ドレイン領域112、113の不純物濃度が十分に薄ければ、メモリ機能体161、162（シリコン窒化膜142）においてメモリ効果が発現し得る。

したがって、 $A < B < C$ であるのが最も好ましい。

実施の形態 18

この実施の形態の半導体記憶装置は、図31に示すように、実施の形態15における半導体基板をSOI基板とする以外は、実質的に同様の構成を有する。

この半導体記憶装置は、半導体基板181上に埋め込み酸化膜183が形成され、

さらにその上にSOI層が形成されている。SOI層内には拡散領域112、113が形成され、それ以外の領域はボディ領域182となっている。

この半導体記憶装置によっても、実施の形態15の半導体記憶装置と同様の作用効果を奏する。さらに、拡散領域112、113とボディ領域182との接合容量を著しく小さくすることができるので、素子の高速化や低消費電力化が可能となる。

実施の形態19

この実施の形態の半導体記憶装置は、図32に示すように、実施の形態15において、N型のソース/ドレイン領域112、113のチャネル側に隣接して、P型高濃度領域191を追加した以外は、実質的に同様の構成を有する。

すなわち、P型高濃度領域191におけるP型を与える不純物（例えばボロン）濃度が、領域192におけるP型を与える不純物濃度より高い。P型高濃度領域191におけるP型の不純物濃度は、例えば、 $5 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度が適当である。また、領域192のP型の不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とすることができる。

このように、P型高濃度領域191を設けることにより、拡散領域112、113と半導体基板111との接合が、メモリ機能体161、162の直下で急峻となる。そのため、書込み及び消去動作時にホットキャリアが発生し易くなり、書込み動作及び消去動作の電圧を低下させ、あるいは書込み動作及び消去動作を高速にすることが可能となる。さらに、領域192の不純物濃度は比較的薄いので、メモリが消去状態にあるときの閾値が低く、ドレイン電流は大きくなる。そのため、読出し速度が向上する。したがって、書換え電圧が低く又は書換え速度が高速で、かつ、読出し速度が高速な半導体記憶装置を得ることができる。

また、図32において、ソース/ドレイン領域近傍であってメモリ機能体の下（すなわち、ゲート電極の直下ではない）において、P型高濃度領域191を設けることにより、トランジスタ全体としての閾値は著しく上昇する。この上昇の程度は、P型高濃度領域191がゲート電極の直下にある場合に比べて著しく大きい。メモリ機能体に書込み電荷（トランジスタがNチャネル型の場合は電子）が蓄積した場合は、この差がいっそう大きくなる。一方、メモリ機能体に十分な消去電荷（トランジスタが

- Nチャネル型の場合は正孔)が蓄積された場合は、トランジスタ全体としての閾値は、ゲート電極下のチャネル領域(領域192)の不純物濃度で決まる閾値まで低下する。すなわち、消去時の閾値は、P型高濃度領域191の不純物濃度には依存せず、一方で、書込み時の閾値は非常に大きな影響を受ける。よって、P型高濃度領域191を
- 5 メモリ機能体の下であってソース/ドレイン領域近傍に配置することにより、書込み時の閾値のみが非常に大きく変動し、メモリ効果(書込み時と消去時での閾値の差)を著しく増大させることができる。

実施の形態20

- 10 この実施の形態の半導体記憶装置は、図33に示すように、実施の形態15において、電荷保持膜(シリコン窒化膜142)とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ(T1)が、ゲート絶縁膜の厚さ(T2)よりも薄いこと以外は、実質的に同様の構成を有する。

- ゲート絶縁膜114は、メモリの書換え動作時における耐圧の要請から、その厚さ
- 15 T2には下限値が存在する。しかし、絶縁膜の厚さT1は、耐圧の要請にかかわらず、T2よりも薄くすることが可能である。T1を薄くすることにより、メモリ機能体への電荷の注入が容易になり、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となり、また、シリコン窒化膜142に電荷が蓄積された時にチャネル領域又はウェル領域に誘起される電荷量が増えるため、
- 20 メモリ効果を増大させることができる。

したがって、 $T1 < T2$ とすることにより、メモリの耐圧性能を低下させることなく、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にし、さらにメモリ効果を増大することが可能となる。

- なお、絶縁膜の厚さT1は、製造プロセスによる均一性や膜質が一定の水準を維持
- 25 することが可能であり、かつ保持特性が極端に劣化しない限界となる0.8nm以上であることがより好ましい。

実施の形態21

この実施の形態の半導体記憶装置は、図34に示すように、実施の形態15におい

て、電荷保持膜（シリコン窒化膜 142）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ（ T_1 ）が、ゲート絶縁膜の厚さ（ T_2 ）よりも厚いこと以外は、実質的に同様の構成を有する。

ゲート絶縁膜 114 は、素子の短チャネル効果防止の要請から、その厚さ T_2 には
5 上限値が存在する。しかし、絶縁膜の厚さ T_1 は、短チャネル効果防止の要請にかかわらず、 T_2 よりも厚くすることが可能である。 T_1 を厚くすることにより、メモリ機能体に蓄積された電荷が散逸するのを防ぎ、メモリの保持特性を改善することが可能となる。

したがって、 $T_1 > T_2$ とすることにより、メモリの短チャネル効果を悪化させる
10 ことなく保持特性を改善することが可能となる。

なお、絶縁膜の厚さ T_1 は、書換え速度の低下を考慮して、20 nm 以下であることが好ましい。

実施の形態 22

15 上述した半導体記憶装置が組み込まれた携帯電子機器である携帯電話を、図 35 に示す。

この携帯電話は、主として、制御回路 211、電池 212、RF（無線周波数）回路 213、表示部 214、アンテナ 215、信号線 216、電源線 217 等によって構成されており、制御回路 211 には、上述した本発明の半導体記憶装置が組み込ま
20 れている。なお、制御回路 211 は、実施の形態 10 で説明したような、同一構造の素子をメモリ回路素子及び論理回路素子として兼用した集積回路であるのが好ましい。これにより、集積回路の製造が容易になり、携帯電子機器の製造コストを特に低減することができる。

このように、1 トランジスタ当り 2 ビットの記憶が可能であり、かつ微細化が容易
25 である半導体記憶装置を携帯電子機器に用いることにより、携帯電子機器の機能と動作速度を向上させ、製造コストを削減することが可能になる。

なお、本発明の半導体記憶装置は、主として、拡散領域である第 1 導電型の領域と、第 2 導電型の領域と、第 1 及び第 2 導電型の領域の境界を跨って配置されたメモリ機能体と、絶縁膜を介して設けられた電極とから構成されるか、あるいは、主として、

ゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、ゲート電極の両側に形成されたメモリ機能体と、メモリ機能体のゲート電極と反対側のそれぞれに配置されたソース/ドレイン領域（拡散領域）と、ゲート電極下に配置されたチャネル領域とから構成される。

- 5 この半導体記憶装置は、1つの電荷保持膜に2値又はそれ以上の情報を記憶することにより、4値又はそれ以上の情報を記憶するメモリ素子として機能し、また、メモリ機能体による可変抵抗効果により、選択トランジスタとメモリトランジスタとの機能を兼ね備えたメモリセルとしても機能する。

10 本発明の半導体装置は、半導体基板上、好ましくは半導体基板内に形成された第1導電型のウェル領域上に形成されることが好ましい。

半導体基板としては、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、シリコンゲルマニウム、GaAs、InGaAs、ZnSe、GaN等の化合物半導体によるバルク基板が挙げられる。また、表面に半導体層を有するものとして、SOI（Silicon on Insulator）
15 ）基板又は多層SOI基板等の種々の基板、ガラスやプラスチック基板上に半導体層を有するものを用いてもよい。なかでもシリコン基板又は表面にシリコン層が形成されたSOI基板等が好ましい。半導体基板又は半導体層は、内部を流れる電流量に多少が生ずるが、単結晶（例えば、エピタキシャル成長による）、多結晶又はアモルファスのいずれであってもよい。

20 この半導体基板又は半導体層上には、素子分離領域が形成されていることが好ましく、さらにトランジスタ、キャパシタ、抵抗等の素子、これらによる回路、半導体装置や層間絶縁膜が組み合わされて、シングル又はマルチレイヤー構造で形成されていてもよい。なお、素子分離領域は、LOCOS膜、トレンチ酸化膜、STI膜等種々の素子分離膜により形成することができる。半導体基板は、P型又はN型の導電型
25 を有していてもよく、半導体基板には、少なくとも1つの第1導電型（P型又はN型）のウェル領域が形成されていることが好ましい。半導体基板及びウェル領域の不純物濃度は、当該分野で公知の範囲のものが使用できる。なお、半導体基板としてSOI基板を用いる場合には、表面半導体層には、ウェル領域が形成されていてもよいが、チャネル領域下にボディ領域を有していてもよい。

ゲート絶縁膜又は絶縁膜は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜等の絶縁膜；酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜などの高誘電体膜の単層膜又は積層膜を使用することができる。なかでも、シリコン酸化膜が好ましい。ゲート絶縁膜は、例えば、1～20 nm程度、好ましく1～6 nm程度の膜厚とすることが適当である。ゲート絶縁膜は、ゲート電極直下にのみ形成されていてもよいし、ゲート電極よりも大きく（幅広）で形成されていてもよい。

ゲート電極又は電極は、ゲート絶縁膜上に、通常半導体装置に使用されるような形状又は下端部に凹部を有した形状で形成されている。なお、単一のゲート電極とは、ゲート電極としては、1種又は2種以上の導電膜によって分離されることなく、一体形状として形成されているゲート電極を意味する。また、ゲート電極は、側壁に側壁絶縁膜を有していてもよい。ゲート電極は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、導電膜、例えば、ポリシリコン：銅、アルミニウム等の金属：タングステン、チタン、タンタル等の高融点金属：高融点金属とのシリサイド等の単層膜又は積層膜等が挙げられる。ゲート電極の膜厚は、例えば50～400 nm程度の膜厚で形成することが適当である。なお、ゲート電極の下にはチャンネル領域が形成されている。

メモリ機能体は、少なくとも、電荷を保持するか、電荷を蓄え、保持する機能を有するか、電荷をトラップするか、電荷分極状態を保持する機能を有する膜又は領域を含んで構成される。これらの機能を果たすものとしては、シリコン窒化物；シリコン；リン、ボロン等の不純物を含むシリケートガラス；シリコンカーバイド；アルミナ；ハフニウムオキシサイド、ジルコニウムオキシサイド、タンタルオキシサイド等の高誘電体；酸化亜鉛；強誘電体；金属等が挙げられる。メモリ機能体は、例えば、シリコン窒化膜を含む絶縁体膜；導電膜もしくは半導体層を内部に含む絶縁体膜；導電体もしくは半導体ドットを1つ以上含む絶縁体膜；電界により内部電荷が分極し、その状態が保持される強誘電体膜を含む絶縁膜等の単層又は積層構造によって形成することができる。なかでも、シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができ、また、電荷保持時間が長く、リークパスの発生による電荷漏れの問題が生じないため保持特性が良好であり、さらに、LS

Iプロセスではごく標準的に用いられる材料であるため、好ましい。

シリコン窒化膜などの電荷保持機能を有する絶縁膜を内部に含む絶縁膜をメモリ機能体として用いることにより、記憶保持に関する信頼性を高めることができる。シリコン窒化膜は絶縁体であるから、その一部に電荷のリークが生じた場合でも、直ちにシリコン窒化膜全体の電荷が失われることがないからである。さらに信頼性を高めるためには、電荷を保持する機能を有する絶縁膜は、必ずしも膜状である必要はなく、電荷を保持する機能を有する絶縁体が絶縁膜に離散的に存在することが好ましい。具体的には、電荷を保持しにくい材料、例えば、シリコン酸化物中にドット状に分散していることが好ましい。

また、導電膜もしくは半導体層を内部に含む絶縁体膜をメモリ機能体として用いることにより、導電体もしくは半導体中への電荷の注入量を自由に制御できるため、多値化しやすい効果がある。

さらに、導電体もしくは半導体ドットを1つ以上含む絶縁体膜をメモリ機能体として用いることにより、電荷の直接トンネリングによる書込・消去が行いやすくなり、低消費電力化の効果がある。

また、メモリ機能体として、電界により分極方向が変化するPZT、PLZT等の強誘電体膜を用いてもよい。この場合、分極により強誘電体膜の表面に実質的に電荷が発生し、その状態で保持される。従って、メモリ機能を有する膜外から電荷を供給され電荷をトラップする膜と同様なヒステリシス特性を得ることができ、かつ、強誘電体膜の電荷保持は、膜外からの電荷注入の必要がなく、膜内の電荷の分極のみによってヒステリシス特性を得ることができるため、高速に書込・消去ができる効果がある。

つまり、メモリ機能体は、電荷を逃げにくくする領域又は電荷を逃げにくくする機能を有する膜をさらに含むことが好ましい。電荷を逃げにくくする機能を果たすものとしては、シリコン酸化膜等が挙げられる。

メモリ機能体に含まれる電荷保持膜は、直接又は絶縁膜を介してゲート電極の両側に形成されており、また、直接、ゲート絶縁膜又は絶縁膜を介して半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散領域）上に配置している。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート電極の側壁の全

て又は一部を覆うように形成されていることが好ましい。応用例としては、ゲート電極が下端部に凹部を有する場合には、直接又は絶縁膜を介して凹部を完全に又は凹部の一部を埋め込むように形成されていてもよいが、この場合製造工程が複雑になるため、工業的には前述したようにメモリ機能体はゲート電極側壁のみを覆い、ゲート電極がメモリ機能体の上部まで覆う構造になっていない方が好ましい。電荷保持膜として導電膜を用いる場合には、電荷保持膜が半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散領域）又はゲート電極と直接接触しないように、絶縁膜を介して配置させることが好ましい。例えば、導電膜と絶縁膜との積層構造、絶縁膜内に導電膜をドット状等に分散させた構造、ゲートの側壁に形成された側壁絶縁膜内の一部に配置した構造等が挙げられる。

拡散領域又はソース／ドレイン領域は、半導体基板又はウェル領域と逆導電型の拡散領域として、電荷保持膜のゲート電極と反対側のそれぞれに配置されている。ソース／ドレイン領域と半導体基板又メモリ機能体はウェル領域との接合は、不純物濃度が急峻であることが好ましい。ホットエレクトロンやホットホールが低電圧で効率良く発生し、より低電圧で高速な動作が可能となるからである。ソース／ドレイン領域の接合深さは、特に限定されるものではなく、得ようとする半導体記憶装置の性能等に応じて、適宜調整することができる。なお、半導体基板としてSOI基板を用いる場合には、ソース／ドレイン領域は、表面半導体層の膜厚よりも小さな接合深さを有していてもよいが、表面半導体層の膜厚とほぼ同程度の接合深さを有していることが好ましい。

ソース／ドレイン領域は、ゲート電極端とオーバーラップするように配置していてもよいし、ゲート電極端と一致するように配置してもよいし、ゲート電極端に対してオフセットされて配置されていてもよい。特に、オフセットされている場合には、ゲート電極に電圧を印加したときの電荷保持膜下のオフセット領域の反転しやすさがメモリ機能体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果の低減をもたらすため、好ましい。ただし、あまりオフセットしすぎると、ソース・ドレイン間の駆動電流が著しく小さくなるため、ゲート長方向に対して平行方向の電荷保持膜の厚さよりもオフセット量つまり、ゲート長方向における一方のゲート電極端から近い方のソース・ドレイン領域までの距離は短い方が好

ましい。特に重要なことは、メモリ機能体の中の電荷蓄積領域の少なくとも一部が、拡散領域であるソース／ドレイン領域の一部とオーバーラップしていることである。本発明のメモリの本質は、メモリ機能体の側壁部にのみ存在するゲート電極とソース／ドレイン領域間の電圧差によりメモリ機能体を横切る電界によって記憶を書き換えることであるためである。

ソース／ドレイン領域は、その一部が、チャネル領域表面、つまり、ゲート絶縁膜下面よりも高い位置に延設されていてもよい。この場合には、半導体基板内に形成されたソース／ドレイン領域上に、このソース／ドレイン領域と一体化した導電膜が積層されて構成されていることが適当である。導電膜としては、例えば、ポリシリコン、アモルファスシリコン等の半導体、シリサイド、上述した金属、高融点金属等が挙げられる。なかでも、ポリシリコンが好ましい。ポリシリコンは、不純物拡散速度が半導体基板に比べて非常に大きいため、半導体基板内におけるソース／ドレイン領域の接合深さを浅くするのが容易で、短チャネル効果の抑制がしやすいためである。なお、この場合には、このソース／ドレイン領域の一部は、ゲート電極とともに、メモリ機能体の少なくとも一部を挟持するように配置することが好ましい。

本発明の半導体記憶装置は、通常の半導体プロセスによって、例えば、ゲート電極の側壁に単層又は積層構造のサイドウォールスペーサを形成する方法と同様の方法によって形成することができる。具体的には、ゲート電極又は電極を形成した後、電荷保持膜、電荷保持膜／絶縁膜、絶縁膜／電荷保持膜、絶縁膜／電荷保持膜／絶縁膜等の電荷保持膜を含む単層膜又は積層膜を形成し、適当な条件下でエッチバックしてこれらの膜をサイドウォールスペーサ状に残す方法；絶縁膜又は電荷保持膜を形成し、適当な条件下でエッチバックしてサイドウォールスペーサ状に残し、さらに電荷保持膜又は絶縁膜を形成し、同様にエッチバックしてサイドウォールスペーサ状に残す方法；粒子状の電荷保持材料を絶縁膜材料中に分散させ、これをゲート電極を含む半導体基板上に塗布または堆積し、適当な条件下でエッチバックして、絶縁膜材料をサイドウォールスペーサ形状に残す方法；ゲート電極を形成した後、上記単層膜又は積層膜を形成し、マスクを用いてパターニングする方法等が挙げられる。また、ゲート電極又は電極を形成する前に、電荷保持膜、電荷保持膜／絶縁膜、絶縁膜／電荷保持膜、絶縁膜／電荷保持膜／絶縁膜等を形成し、これらの膜のチャネル領域となる領域

に開口を形成し、その上全面にゲート電極材料膜を形成し、このゲート電極材料膜を、開口を含み、開口よりも大きな形状でパターニングする方法等が挙げられる。

本発明の半導体記憶装置は、電池駆動の携帯電子機器、特に携帯情報端末に用いることができる。携帯電子機器としては、携帯情報端末、携帯電話、ゲーム機器等が挙げられる。

本発明によれば、従来技術であるMRAMのメモリセルが2つの素子によって構成されていたのに対して、実質的に1つの素子によってメモリセルを構成することができ、さらなる微細化及び高集積化を実現することができる。

10 また、1つの素子における構成がシンプルであり、つまり、半導体層内に形成された第1導電型の領域と、それに隣接する第2導電型の領域と、上記半導体層表面における上記第1及び第2導電型の領域の境界を跨って配置されたメモリ機能体と、該メモリ機能体に接しかつ第1導電型の領域上に絶縁膜を介して設けられた電極とにより構成することができるため、占有面積のより縮小化を図ることができるとともに、
15 半導体記憶装置の読出し速度を向上させることができる。

さらに、半導体層内に形成された第1導電型の領域と、それに隣接する2つの第2導電型の領域と、上記半導体層表面における上記第1及び第2導電型の領域の境界を跨ってそれぞれ配置された2つのメモリ機能体と、メモリ機能体のそれぞれに接しかつ第1導電型の領域上に絶縁膜を介して設けられた電極とを有するので、半導体記憶
20 装置の読出し速度を向上させることができるとともに、さらに集積度を向上させることができる。

また、2つのメモリ機能体のそれぞれに独立して電荷を蓄積することにより、2ビット以上の情報を記憶する場合は、1ビット当たりの素子面積を小さくすることができるから、半導体記憶装置の製造コストを低減することができる。

25 別の観点から、チャネル領域と、該チャネル領域の両側に設けられた可変抵抗領域と、該可変抵抗領域を介してチャネル領域の両側に設けられた拡散領域と、チャネル領域上にゲート絶縁膜を介して設けられたゲート電極と、該ゲート電極の両側に、可変抵抗領域及び拡散領域の一部に跨るように配置された2つのメモリ機能体とを備えることにより、半導体記憶装置の読出し動作速度を向上することができる。

また、2つのメモリ機能体のうち一方に記憶された情報を読み出す時に、ピンチオフ点を前記チャネル領域内であって、他方のメモリ機能体に近い領域に形成させれば、他方のメモリ機能体の記憶状態の如何にかかわらず、一方のメモリ機能体の記憶情報を感度よく検出することができる。このことは、2ビット動作を可能にする大きな

5 要因となる。

さらに、メモリ機能体が、ゲート電極下ではなく、ゲート電極の両側に配置されるため、ゲート絶縁膜をメモリ機能体として機能させる必要がなく、ゲート絶縁膜を、メモリ機能体とは分離して、単純にゲート絶縁膜としての機能のみに使用することが可能となり、LSIのスケーリング則に応じた設計を行なうことが可能となる。このため、フラッシュメモリのようにフローティングゲートをチャネルとコントロールゲートの間に挿入する必要がなく、さらに、ゲート絶縁膜としてメモリ機能をもたせたONO膜を採用する必要がなく、微細化に応じたゲート絶縁膜を採用することが可能となるとともに、ゲート電極の電界がチャネルに及ぼす影響が強くなり、短チャネル効果に強いメモリ機能を有する半導体記憶装置を実現することができる。よって、微細化して集積度を向上させることができるとともに、安価な半導体記憶装置を提供することができる。

また、1つのメモリセルに対して必要な、ゲート電極と接続されている又はゲート電極そのものの機能を有するワード線に関し、1本配置するのみで、従来の選択トランジスタとメモリセルトランジスタの機能を兼ねることができると、半導体記憶装置のさらなる高集積化が可能となる。

さらに、メモリ機能体中の電荷の多寡をソース/ドレイン領域の一方からソース/ドレイン領域の他方へ流れる電流量の変化により検知すれば、メモリ機能体中のわずかな電荷の違いを大きな電流差として判別することができる。

また、メモリ機能体の下に位置する可変抵抗部の抵抗値が、電荷メモリ機能体中の電荷の多寡により変化し、メモリ機能体中の電荷の有無をソース/ドレイン領域の一方からソース/ドレイン領域の他方へ流れる電流量の変化により検知すれば、メモリ機能体中のわずかな電荷の違いを大きな電流差として判別することができる。

さらに、メモリセル1つあたり、単一のゲート電極が、その両側に形成された2つのメモリ機能体にはさまれた構造は、メモリ機能体の電荷量を変化させるため電極数

を最低限にする。したがって、メモリセル占有面積を小さくすることができる。

- また、メモリセル1つあたり、単一のゲート電極が、その両側に形成された2つのメモリ機能体にはさまれた構造であって、メモリ機能体中の電荷の多寡をソース/ドレイン領域の一方からソース/ドレイン領域の他方へ流れる電流量の変化により検知する検知方法、つまり、わずかな電荷の違いを大きな電流差として判別することができる検知方法に必要な電極数を最低限にする。したがって、メモリセル占有面積を小さくすることができる。

- さらに、メモリセル1つあたり、単一のゲート電極が、その両側に形成された2つのメモリ機能体にはさまれ、該メモリ機能体の下に位置する可変抵抗部の抵抗値をメモリ機能体中の電荷の有無により変化させ、メモリ機能体中の電荷の多寡をソース/ドレイン領域の一方からソース/ドレイン領域の他方へ流れる電流量の変化により検知する検知方法、つまり、わずかな電荷の違いを大きな電流差として判別することができる検知方法に必要な電極数を最低限にする。したがって、メモリセル占有面積を小さくすることができる。

- また、半導体基板もしくはウェル領域もしくは絶縁体膜上に位置する半導体層と接続された1つの端子と、ソース/ドレイン領域と接続された2つの端子と、ゲート電極に接続された1つの端子とは、複数のメモリセルから1つのメモリセルを選択し書込・消去・読み出しできるメモリセルに必要な最低限の端子を構成する。したがって、最も少ない端子数で1つのメモリセルを構成することができる。

- さらに、半導体基板もしくはウェル領域もしくは絶縁体上に位置する半導体層に与える電圧と、単一のゲート電極に与える電圧と、2つのソース・ドレイン電極のそれぞれに与える電圧の合計4つの電圧を与えることのみにより、1つのメモリセルの読み出し、書込、もしくは消去動作のいずれかをおこなう動作方法は、最も少ないノードで1つのメモリセル動作を行なうことができる。

- また、単一のゲート電極の両側に形成されたゲート電極側壁絶縁膜がメモリ機能体として機能するため、ロジックトランジスタで構成された回路とメモリ記憶装置の混載が容易になる。

さらに、電荷を保持する機能を有するゲート電極側壁絶縁膜の少なくとも一部がソース/ドレイン領域とオーバーラップしているため、読み出し電流の減少が抑制される

。したがって、半導体記憶装置の読出し動作速度を高速にすることができる。

また、1つの半導体記憶装置によって、2ビットの情報を蓄えることが可能となり、しかも、1つのゲート電極の両側に配置するメモリ機能体はゲート電極によって互いに完全に分離されているため、互いのメモリ機能体間での電氣的干渉を避けることが可能となり、さらなる微細化を実現しながら、多値の情報を記憶する半導体記憶装置を実現することができる。

加えて、本発明の半導体記憶装置は、そのまま論理回路を構成するトランジスタとしても使用可能であるから、論理回路とメモリ回路との混載プロセスを非常に簡単にすることができる。

10 ソース／ドレイン領域の一部が、チャネル領域表面又はゲート絶縁膜下面よりも高い位置に延設され、かつメモリ機能体の少なくとも一部がゲート電極と前記ソース／ドレイン領域の一部に挟持されてなる場合には、ソース／ドレイン領域の浅い接合化が実現できるとともに、接合部分において急峻な不純物の濃度プロファイルを実現することが可能となる。よって、短チャネル効果を極めて効果的に抑制し、素子のさら
15 なる微細化を実現することができ、さらに、ドレイン耐圧を低減でき、電子注入又はホール注入による書込・消去電圧を低減できる。

また、ゲート電極とソース／ドレイン領域によって、メモリ機能体を挟持することにより、ゲート電極とソース／ドレイン領域間に直接電界をかけ、選択した2つのノード間で電子又はホールの注入、電子又はホールの引き抜きが可能となり、ホットエ
20 レクトロンやホットホール注入と比較して、書込・消去効率を向上させることができる。

ソース／ドレイン領域が、ゲート電極端に対してオフセットされて配置される場合には、ゲート電極に電圧を印加したときのメモリ機能体下のオフセット領域の寄生抵抗がメモリ機能体に蓄積された電荷量によって大きく変化させることができ、メモリ
25 効果を増大させることができる。

本発明において、ソース／ドレイン領域がN型半導体からなる場合には、一方のソース／ドレイン領域が基準電圧、他方のソース／ドレイン領域及びゲート電極が基準電圧よりも高い電圧に設定されることにより、又は一方のソース／ドレイン領域が基準電圧、他方のソース／ドレイン領域が基準電圧よりも高い電圧、ゲート電極が基準

電圧よりも低い電圧に設定されることにより、すなわち、3つの電極の相対電位を設定するのみで、メモリ機能体に、選択的に、電子又はホールが注入され得るため、半導体記憶装置におけるメモリセル当たりの電極数を少なくでき、セル面積のさらなる縮小化を実現することができる。

- 5 同様に、ソース／ドレイン領域がP型半導体からなる場合には、一方のソース／ドレイン領域が基準電圧、他方のソース／ドレイン領域及びゲート電極が基準電圧よりも低い電圧に設定されることにより、又は一方のソース／ドレイン領域が基準電圧、他方のソース／ドレイン領域が基準電圧よりも低い電圧、ゲート電極が基準電圧よりも高い電圧に設定されることにより、メモリ機能体に、選択的に、ホール又は電子が
10 注入され得るため、セル面積のさらなる縮小化を実現することができる。

ウェル領域又は拡散領域上であって、ゲート電極の両端に直接又は絶縁膜を介して、電荷保持膜が形成されている場合には、電荷保持膜における電荷の多寡に応じて反転層を制御することができる。よって、大きなヒステリシス（閾値の変化）を得ることができ、良好な特性の半導体記憶装置を得ることができる。

- 15 半導体基板が、表面半導体層を有するSOI基板からなり、第1導電型のウェル領域が前記表面半導体層にボディ領域として形成されてなる場合には、拡散領域とボディ領域との接合容量を著しく小さくすることができ、素子の高速化及び低消費電力化が可能となる。

- 20 電荷保持膜が、ゲート電極端近傍において、拡散領域及び／又はウェル領域もしくはボディ領域と絶縁膜を介して接している場合には、保持電荷の漏れを抑制することができ、電荷の保持特性を向上させることができる。

- 25 ゲート電極が、下端部に凹部を有しており、電荷保持膜の少なくとも1部が、直接又は絶縁膜を介して前記凹部内に埋め込まれている場合には、電荷保持膜の少なくとも一部がゲート電極で覆われているので、特に消去時においてホットキャリアの注入効率を改善することができ、よって、高速な消去動作を実現することが可能となる。

ゲート電極が、側壁に側壁絶縁膜を有し、該側壁絶縁膜の一部が電荷保持膜として形成されてなる場合には、側壁絶縁膜をマスクとして拡散領域を形成するためのイオン注入を行なうことにより、拡散領域端の位置を制御するのが容易となる。よって、拡散領域がゲート電極の下方にまで達しないようにして、ウェル領域又はボディ領域

が電荷保持膜と直接又は絶縁膜を介して接する領域を形成することができる。したがって、良好な特性を有する半導体記憶装置を得ることができる。

また、本発明の半導体記憶装置の製造方法によれば、簡単な工程により、高性能、高集積化が可能な半導体記憶装置を製造することが可能となる。

5 さらに、本発明の半導体装置のウェル領域又はボディ領域がP型の導電型を有する場合には、一方の拡散領域を基準電圧とし、ゲート電極を基準電圧よりも低い電圧に設定し、ウェル領域又はボディ領域を基準電圧よりも高い電圧に設定し、他方の拡散領域をウェル領域又はボディ領域の電圧よりも高い電圧に設定することにより、P型
10 ウェル領域又はボディ領域から、基準電圧に固定された拡散領域に対して順方向電流が流れる。このため、P型ウェル領域又はボディ領域と、他方の拡散領域との接合において、バンド間トンネルによりホットホールが発生するに足りない電圧差しか印加されない場合においても、基準電圧に固定された拡散領域からウェル領域またはボディ領域に注入された電子が、ホットホールを発生させることができる。したがって、他方の拡散領域に隣接するメモリ機能体にホールを注入する効果が増大し、ホール注
15 入時の動作時の電圧を低下させることができる。

また、本発明の半導体装置のウェル領域又はボディ領域がN型の導電型を有する場合には、N型のウェル領域又はボディ領域から基準電圧に固定された拡散領域に対して順方向電流が流れる。このため、ウェル領域又はボディ領域と、他方の拡散領域との接合においてバンド間トンネルによりホットエレクトロンが発生するに足りない
20 電圧差しか印加されない場合においても、基準電圧に固定された拡散領域からウェル領域またはボディ領域に注入されたホールが、ホットエレクトロンを発生させることができる。したがって、他方の拡散領域に隣接するメモリ機能体に電子を注入する効果が増大し、電子注入時の動作時の電圧を低下させることができる。

上述のメモリ機能体は、電荷を蓄積又はトラップ又は電荷分極状態を保持する機能を有する膜によって形成されており、例えば、シリコン窒化膜を含む絶縁体膜、導電膜もしくは半導体層を内部に含む絶縁体膜、導電体もしくは半導体ドットを1つ以上含む絶縁体膜等の単層又は積層構造によって形成されている。シリコン窒化膜を含む絶縁体膜の場合、シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができ、また、電荷保持時間が長く、リークパスの
25

発生による電荷漏れの問題が生じないため保持特性が良好であり、さらに、LSIプロセスではごく標準的に用いられる材料であるため、量産工場に導入しやすい効果がある。また、導電膜もしくは半導体層を内部に含む絶縁体膜である場合、導電体もしくは半導体中への電荷の注入量を自由に制御できるため、多値化しやすい効果がある。

5 。また、導電体もしくは半導体ドットを1つ以上含む絶縁体膜である場合、電荷の直接トンネリングによる書込・消去が行いやすくなり、低消費電力化の効果がある。さらに、上記電荷保持膜の一形態として、電界により分極方向が変化するPZT、PLZT等の強誘電体膜を用いてもよい。この場合、分極により強誘電体膜の表面に実質的に電荷が発生し、その状態で保持される。従って、メモリ機能を有する膜外から電荷を供給され電荷をトラップする膜と同様なヒステリシス特性を得ることができ、かつ、強誘電体膜の電荷保持は、膜外からの電荷注入の必要がなく、膜内の電荷の分極のみによってヒステリシス特性を得ることができるため、高速に書込・消去ができる効果がある。

また、メモリ機能体が電荷を保持する機能を有する膜を含み、電荷を保持する機能を有する膜の少なくとも一部とソース／ドレイン領域とがオーバーラップしているので、読出し電流の減少が抑制される。したがって、半導体記憶記憶装置の読出し動作速度を高速にすることができる。

15

さらには、SOI層からなる半導体層上に、ゲート絶縁膜とゲート電極とメモリ機能体が形成された場合には、拡散領域とボディ領域との接合容量を著しく小さくすることができ、素子の高速化及び低消費電力化が可能となる。

20

また、ウェル領域を含んだ半導体層を用いた場合には、ゲート絶縁膜直下の不純物濃度をメモリ動作（書換え動作及び読出し動作）に最適にしつつ、その他の電気特性（耐圧、接合容量、短チャネル効果）を制御するのが容易になる。

さらには、メモリ機能体が電荷を保持する機能を有する電荷保持膜と絶縁膜とを含んでいれば、電荷の散逸を防いで保持特性を向上させることができる。また、メモリ機能体が電荷保持膜のみで構成される場合に比べて電荷保持膜の体積を適度に小さくすることができる。電荷保持膜の体積を適度に小さくすることにより電荷保持膜内の電荷の移動を制限し、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。したがって、メモリの保持特性を改善することができる。メモリ機

25

半体内に、ゲート絶縁膜がなす面と略並行な電荷保持膜があることにより、電荷保持膜に蓄積された電荷の多寡によりオフセット領域での反転層の形成されやすさを効果的に制御することができる。そのため、メモリ効果を大きくすることができる。また、電荷保持膜はゲート絶縁膜表面と略平行に配置されているため、オフセット量がばらついた場合でもメモリ効果の変化を比較的小さく保つことができる。そのため、メモリ効果のばらつきを抑制することができる。さらに、電荷保持膜が、ゲート絶縁膜表面と略平行に配置された膜状であるから、上方向への電荷の移動が抑制される。これゆえ、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。したがって、メモリ効果が大きくてばらつきの少ない、保持特性の良い半導体記憶装置を得ることができる。

また、メモリ機能体が、ゲート電極側面と略平行に延びた電荷保持膜をさらに含む場合、半導体記憶装置の保持特性の悪化を防ぎながら書換え速度を高速にすることができる。

さらに、ゲート電極とゲート電極側面と略平行に延びた電荷保持膜とを隔てる絶縁膜をさらに含む場合は、ゲート電極側面と略平行に延びた電荷保持膜とゲート電極との間での電荷の出入りを抑制することができる。したがって、半導体記憶装置の信頼性を高くすることができる。

また、ゲート絶縁膜表面と略平行に延びた電荷保持膜とチャネル領域又は半導体層とを隔てる絶縁膜をさらに含む場合は、ゲート絶縁膜表面と略平行な電荷保持膜に蓄積された電荷の散逸が抑制されるため、さらに保持特性のよい半導体記憶装置を得ることができる。

電荷保持膜とチャネル領域又は半導体層とを隔てる絶縁膜の膜厚が、ゲート絶縁膜の膜厚より薄い場合は、メモリの耐圧性能を低下させることなく書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となり、メモリ効果を増大することが可能となる。

また、電荷保持膜とチャネル領域又は半導体層とを隔てる絶縁膜の膜厚が、ゲート絶縁膜の膜厚より厚い場合は、メモリの短チャネル効果を悪化させることなく保持特性を改善することが可能となる。

さらに、前記第1導電型の半導体層は、メモリ機能体の下かつソース/ドレイン領

域近傍で、ゲート電極下における第1導電型の半導体層表面近傍よりも、第1導電性を与える不純物濃度が濃い領域を有しているので、拡散領域と半導体層との接合が、メモリ機能体の直下で急峻となる。そのため、書込み及び消去動作時にホットキャリアが発生し易くなり、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となる。更に、ゲート絶縁膜直下の不純物濃度は比較的薄いので、メモリが消去状態にあるときの閾値は低く、ドレイン電流は大きくなる。そのため、読出し速度が向上する。したがって、書換え電圧が低く又は書換え速度が高速で、かつ、読出し速度が高速な半導体記憶装置を得ることができる。

また、チャンネル長方向の切断面におけるゲート電極長をA、ソース/ドレイン領域間のチャンネル長をB、一方のメモリ機能体の端から他方のメモリ機能体の端までの距離をCとすると、 $A < B < C$ なる関係が成り立つため、メモリ効果の増大、読出し動作の高速化及び短チャンネル効果の低減が実現する。

さらに、メモリ機能体のゲート電極と反対側のそれぞれに配置されたソース/ドレイン領域がN型(P型)の場合、メモリ機能体に電子(ホール)を注入して記憶状態を変化させる時と、メモリ機能体の記憶状態を読み出す時とで、ソース/ドレイン領域の一方及び他方に印加する電圧の大小関係を逆にする。そのため、所望のメモリ機能体の記憶状況を感度良く検出することができる。さらには、リードディスタープに対する耐性が向上する。

また、携帯電子機器が本発明の半導体記憶装置を備えることにより、機能及び動作速度を向上させることができるとともに、製造コストの削減に伴って安価な携帯電子機器が得られる。

請求の範囲

1. 半導体層内に形成された第1導電型の領域と、半導体層内に該第1導電型の領域と接して形成された第2導電型の領域と、前記半導体層上に前記第1及び第2導電型の領域の境界を跨って配置されたメモリ機能体と、該メモリ機能体に接しかつ第1導電型の領域上に絶縁膜を介して設けられた電極とを有することを特徴とする半導体記憶装置。
5
2. 半導体層内に形成された第1導電型の領域と、半導体層内に該第1導電型の領域の両側に形成された2つの第2導電型の領域と、前記半導体層上に前記第1及び第2導電型の領域の境界を跨ってそれぞれ配置された2つのメモリ機能体と、該メモリ機能体のそれぞれに接しかつ第1導電型の領域上に絶縁膜を介して設けられた電極とを有することを特徴とする半導体記憶装置。
10
3. 2つのメモリ機能体のそれぞれに独立して電荷を蓄積することにより、2ビット以上の情報を記憶する請求項2に記載の半導体記憶装置。
4. 半導体層内に形成されたチャネル領域と、該チャネル領域の両側に設けられた可変抵抗領域と、該可変抵抗領域を介してチャネル領域の両側に設けられた2つの拡散領域と、チャネル領域上にゲート絶縁膜を介して設けられたゲート電極と、該ゲート電極の両側に、可変抵抗領域と拡散領域の一部とを跨るように配置された2つのメモリ機能体とを備えることを特徴とする半導体記憶装置。
15
5. 可変抵抗領域が、拡散領域とは異なる導電型に設定されてなる請求項4に記載の半導体記憶装置。
20
6. チャネル領域内であって、一方のメモリ機能体に近い領域にピンチオフ点が形成されることにより、他方のメモリ機能体に記憶された情報が読み出される請求項4に記載の半導体記憶装置。
7. 半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極下に配置されたチャネル領域と、該チャネル領域の両側に配置され、該チャネル領域と逆導電型を有する拡散領域と、該ゲート電極の両側であって前記拡散領域にオーバーラップして形成された、電荷を保持するためのメモリ機能体からなることを特徴とする半導体記憶装置。
25

8. 半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体層と、該半導体基板又は半導体層上にゲート絶縁膜を介して形成された単一のゲート電極と、該ゲート電極下に配置されたチャネル領域と、該チャネル領域の両側に形成された2つの拡散領域と、前記ゲート電極の両側であって前記拡散領域にオーバーラップして形成された2つのメモリ機能体とからなるメモリセルを1つ以上有し、
5 なることを特徴とする半導体記憶装置。

9. メモリ機能体が、前記メモリ機能体に保持された電荷の多寡に対応して、ゲート電極への電圧印加によって、少なくとも前記メモリ機能体下に位置する拡散領域の抵抗を変化させ、一方の拡散領域から他方の拡散領域に流れる電流量を変化させるように構成されてなる請求項7又は8に記載の半導体記憶装置。
10

10. メモリ機能体が、前記メモリ機能体に保持された電荷の多寡に対応して、少なくとも該メモリ機能体下に位置する拡散領域の一部を空乏化させるか、もしくは導電型を反転させるように構成されてなる請求項7又は8に記載の半導体記憶装置。

11. 1つのメモリセルが、半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体層に接続された1つの端子と、2つの拡散領域に接続された2つの端子と、ゲート電極に接続された1つの端子との4つの端子のみによって構成されてなる請求項8に記載の半導体記憶装置。
15

12. 前記半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体層に与えられる電圧と、ゲート電極に与えられる電圧と、2つの拡散領域のそれぞれに与えられる電圧との4種の電圧印加のみにより、1つのメモリセルの読み出し、書込み又は消去動作のいずれが行われる請求項8に記載の半導体記憶装置。
20

13. 半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体層と、該半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体層上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成された単一のゲート電極と、該ゲート電極直下に配置されたチャネル領域と、チャネル領域の両側に配置された2つの拡散領域と、前記ゲート電極の両側であって、拡散領域にオーバーラップして形成された側壁絶縁膜からなるメモリセルを1つ以上有してなり、
25 前記側壁絶縁膜が電荷を保持する機能を有してなることを特徴とする半導体記憶装置。

- 1 4. 側壁絶縁膜が、側壁絶縁膜に保持された電荷の多寡に対応して、前記側壁絶縁膜下の拡散領域の少なくとも一部を空乏化させるか、もしくは導電型を反転させるように構成されてなる請求項 1 3 に記載の半導体記憶装置。
- 1 5. 2 つのメモリ機能体により 1 つのメモリセルあたり 4 値の情報を記憶する請求項 4 ～ 1 4 のいずれか 1 つに記載の半導体記憶装置。
- 1 6. 拡散領域の一部が、チャネル領域表面よりも高い位置に延設され、かつメモリ機能体の少なくとも一部がゲート電極と前記拡散領域の一部とに挟持されてなる請求項 4 ～ 1 5 のいずれか 1 つに記載の半導体記憶装置。
- 1 7. 拡散領域に電極配線端子が接続されており、メモリ機能体の少なくとも一部が、ゲート電極と前記拡散領域に接続された電極配線端子の一部とに挟持されてなる請求項 4 ～ 1 5 のいずれか 1 つに記載の半導体記憶装置。
- 1 8. 拡散領域が、ゲート電極端に対してオフセットされて配置される請求項 4 ～ 1 7 のいずれか 1 つに記載の半導体記憶装置。
- 1 9. 拡散領域がゲート電極とオーバーラップするか、拡散領域の端部がゲート電極端と一致して配置される請求項 4 ～ 1 7 のいずれか 1 つに記載の半導体記憶装置。
- 2 0. 拡散領域が N 型半導体からなり、一方の拡散領域が基準電圧、他方の拡散領域及びゲート電極が基準電圧よりも高い電圧に設定されることによりメモリ機能体に電子が注入され得る請求項 4 ～ 1 9 のいずれか 1 つに記載の半導体記憶装置。
- 2 1. 拡散領域が N 型半導体からなり、一方の拡散領域が基準電圧、他方の拡散領域が基準電圧よりも高い電圧、ゲート電極が基準電圧よりも低い電圧に設定されることによりメモリ機能体にホールが注入され得る請求項 4 ～ 1 9 のいずれか 1 つに記載の半導体記憶装置。
- 2 2. 拡散領域が P 型半導体からなり、一方の拡散領域が基準電圧、他方の拡散領域及びゲート電極が基準電圧よりも低い電圧に設定されることによりメモリ機能体にホールが注入され得る請求項 4 ～ 1 9 のいずれか 1 つに記載の半導体記憶装置。
- 2 3. 拡散領域が P 型半導体からなり、一方の拡散領域が基準電圧、他方の拡散領域が基準電圧よりも低い電圧、ゲート電極が基準電圧よりも高い電圧に設定されることによりメモリ機能体に電子が注入され得る請求項 4 ～ 1 9 のいずれか 1 つに記載の半導体記憶装置。

24. 半導体基板と、

該半導体基板内に形成された第1導電型のウェル領域と、

該ウェル領域上に形成されたゲート絶縁膜と、

該ゲート絶縁膜上に形成された複数のワード線と、

- 5 該ワード線の両側にそれぞれ形成された複数の第2導電型の拡散領域と、

少なくとも該拡散領域の一部の上、もしくは前記ウェル領域の一部から拡散領域の一部の上に跨って、前記複数のワード線の両側に、前記ワード線、ウェル領域、拡散領域に対して直接又は絶縁膜を介して形成された、電荷を蓄積又はトラップする機能を有する電荷保持膜と、

- 10 前記拡散領域と接続され、前記ワード線と交差する方向に伸びる複数のビット線からなることを特徴とする半導体記憶装置。

25. 半導体基板が、表面半導体層を有するSOI基板からなり、第1導電型のウェル領域が前記表面半導体層にボディ領域として形成されてなる請求項24に記載の半導体記憶装置。

- 15 26. 電荷保持膜が、ワード線端近傍において、拡散領域及び／又はウェル領域もしくはボディ領域と、絶縁膜を介して接している請求項24又は25に記載の半導体記憶装置。

27. ワード線が、下端部に凹部を有しており、電荷保持膜の少なくとも1部が、直接又は絶縁膜を介して前記凹部内に埋め込まれてなる請求項24～26のいずれか

- 20 1つに記載の半導体記憶装置。

28. ワード線が、側壁に側壁絶縁膜を有し、該側壁絶縁膜の一部が電荷保持膜として形成されてなる請求項24～27のいずれか1つに記載の半導体記憶装置。

29. 拡散領域の一部が、ゲート絶縁膜下面よりも高い位置に延設され、かつ電荷保持膜の少なくとも一部がワード線と前記拡散領域の一部とに挟持されてなる請求項

- 25 24～28のいずれか1つに記載の半導体記憶装置。

30. メモリ機能体又は側壁絶縁膜が、電荷を蓄積又はトラップする機能、あるいは電荷分極状態を保持する機能を有する膜であり、シリコン窒化膜を含む絶縁体膜；導電体膜又は半導体層を内部に含む絶縁体膜；導電体又は半導体からなるドットを1つ以上内部に含む絶縁体膜；あるいは電界により内部電荷が分極し、その状態が保持さ

れる強誘電体膜を含む絶縁膜の単層又は積層膜である請求項1～29のいずれか1つに記載の半導体記憶装置。

31. 半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と、該メモリ機能体の前記ゲート電極と反対側のそれぞれに配置された2つの拡散領域と、前記ゲート電極下に配置されたチャネル領域とからなり、

前記メモリ機能体は電荷を保持する機能を有する膜を含み、該電荷を保持する機能を有する膜の少なくとも一部が前記拡散領域の一部にオーバーラップするように形成されてなることを特徴とする半導体記憶装置。

32. 半導体層は、SOI層からなる請求項31に記載の半導体記憶装置。

33. 半導体層が、ウェル領域を含む請求項31又は32に記載の半導体記憶装置。

34. メモリ機能体が、電荷を保持する機能を有する電荷保持膜と絶縁膜とを含む請求項31～33のいずれか1つに記載の半導体記憶装置。

35. メモリ機能体が、ゲート絶縁膜の表面と略平行な表面を有する電荷保持膜を含む請求項31～34のいずれか1つに記載の半導体記憶装置。

36. メモリ機能体が、ゲート電極側面と略平行に延びた電荷保持膜を含む請求項35に記載の半導体記憶装置。

37. メモリ機能体が、ゲート電極と、該ゲート電極側面と略平行に延びた電荷保持膜とを隔てる絶縁膜をさらに含む請求項36に記載の半導体記憶装置。

38. 上記メモリ機能体が、ゲート絶縁膜の表面と略平行な表面を有する電荷保持膜とチャネル領域又は半導体層とを隔てる絶縁膜をさらに含む請求項35～37のいずれかに記載の半導体記憶装置。

39. 電荷保持膜とチャネル領域又は半導体層とを隔てる絶縁膜の膜厚が、ゲート絶縁膜の膜厚より薄く、かつ0.8nm以上である請求項38に記載の半導体記憶装置。

40. 電荷保持膜とチャネル領域又は半導体層とを隔てる絶縁膜の膜厚が、ゲート絶縁膜の膜厚より厚く、かつ20nm以下である請求項38に記載の半導体記憶装置。

41. 第1導電型の半導体層と、該第1導電型の半導体層上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と、該メモリ機能体の前記ゲート電極と反

対側のそれぞれに配置された2つの第2導電型の拡散領域とからなり、

前記メモリ機能体は電荷を保持する機能を有する膜を含み、該電荷を保持する機能を有する膜の少なくとも一部と拡散領域の少なくとも一部とがオーバーラップしており、

5 前記第1導電型の半導体層は、前記メモリ機能体の下かつ前記拡散領域近傍で、上記ゲート電極下における第1導電型の半導体層表面近傍よりも高濃度の第1導電型の高濃度領域を有していることを特徴とする半導体記憶装置。

4 2. ゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と、該メモリ機能体の
10 前記ゲート電極と反対側のそれぞれに配置された2つの拡散領域と、前記ゲート電極下に配置されたチャネル領域とからなり、

チャネル長方向における前記ゲート電極長をA、前記拡散領域間のチャネル長をB、前記一方のメモリ機能体の端から他方のメモリ機能体の端までの距離をCとすると
き、 $A < B < C$ なる関係が成り立つことを特徴とする半導体記憶装置。

15 4 3. ゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と、該メモリ機能体の前記ゲート電極と反対側のそれぞれに配置された2つのN型拡散領域と、前記ゲート電極下に配置されたチャネル領域とからなり、

前記メモリ機能体に電子を注入して記憶状態を変化させる時と、該メモリ機能体の
20 記憶状態を読み出す時とで、上記拡散領域の一方及び他方に印加する電圧の大小関係が逆に設定されることを特徴とする半導体記憶装置。

4 4. ゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と、該メモリ機能体の
前記ゲート電極と反対側のそれぞれに配置された2つのP型拡散領域と、前記ゲート
25 電極下に配置されたチャネル領域とからなり、

前記メモリ機能体にホールを注入して記憶状態を変化させる時と、該メモリ機能体の記憶状態を読み出す時とで、上記ソース/ドレイン領域の一方及び他方に印加する電圧の大小関係が逆に設定されることを特徴とする半導体記憶装置。

4 5. 半導体基板上にゲート絶縁膜及びゲート電極を形成し、

電荷を蓄積又はトラップする機能を有する絶縁膜を得られた基板上全面に堆積し、該絶縁膜を選択的にエッチングしてゲート電極の側壁に側壁絶縁膜を形成することからなる請求項28に記載の半導体記憶装置の製造方法。

46. P型半導体基板、半導体基板中に形成されたP型ウェル領域又は絶縁体上に配置されたP型半導体層上に形成された、1つのゲート電極と、該1つのゲート電極下方に配置されたチャネル領域と、該チャネル領域の両側に位置する2つのN型ソース／ドレイン領域と、該ソース／ドレイン領域近傍に存在するメモリ機能体からなる半導体記憶装置に対して、

- 一方のソース／ドレイン領域を基準電圧とし、前記ゲート電極を基準電圧よりも低い電圧に設定し、前記半導体基板、半導体基板中に形成された前記ウェル領域又は絶縁体上に形成された前記半導体層を基準電圧よりも高い電圧に設定し、他方のソース・ドレイン領域を、前記半導体基板、半導体基板中に形成された前記ウェル領域又は絶縁体上に形成された前記半導体層よりも高い電圧に設定することにより、ホールを前記メモリ機能体に注入することを特徴とする半導体記憶装置の動作方法。

47. N型半導体基板、半導体基板中に形成されたN型ウェル領域又は絶縁体上に配置されたN型半導体層上に形成された、1つのゲート電極と、該1つのゲート電極下方のチャネル領域と、該チャネル領域の両側に位置する2つのP型ソース・ドレイン領域と、該ソース／ドレイン領域近傍に存在するメモリ機能体からなる半導体記憶装置に対して、

- 一方のソース・ドレイン領域を基準電圧とし、前記ゲート電極を基準電圧よりも高い電圧に設定し、前記半導体基板、半導体基板中に形成された前記ウェル領域又は絶縁体上に配置された前記半導体層を基準電圧よりも低い電圧に設定し、他方のソース・ドレイン領域を、半導体基板、半導体基板中に形成された前記ウェル領域又は絶縁体上に配置された前記半導体層よりも低い電圧に設定することにより、電子を前記メモリ機能体に注入することを特徴とする半導体記憶装置の動作方法。

48. メモリ機能体又は側壁絶縁膜が、電荷を蓄積又はトラップする機能、あるいは電荷分極状態を保持する機能を有する膜であり、シリコン窒化膜を含む絶縁体膜；導電体膜又は半導体層を内部に含む絶縁体膜；導電体又は半導体からなるドットを1つ以上内部に含む絶縁体膜；あるいは電界により内部電荷が分極し、その状態が保持さ

れる強誘電体膜を含む絶縁体の単層又は積層膜である請求項46又は47に記載の半導体記憶装置の動作方法。

49. 請求項1～44のいずれか1つに記載の半導体記憶装置を備えたことを特徴とする携帯電子機器。

图 1 (a)

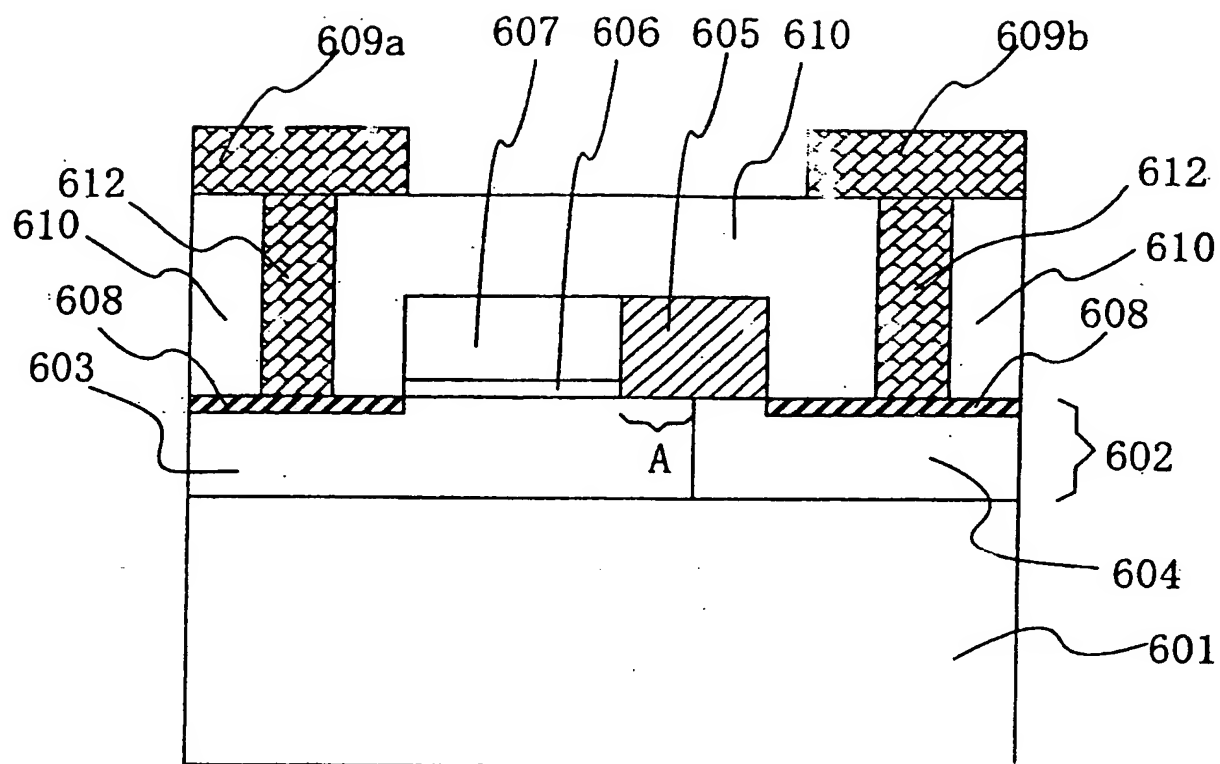


图 1 (b)

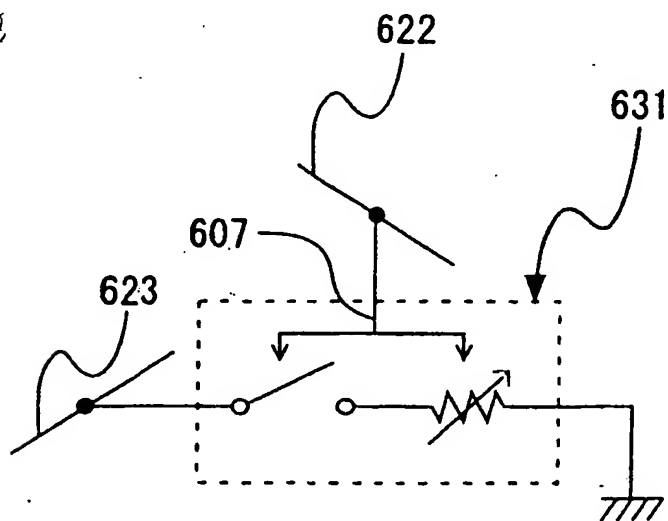


図 2

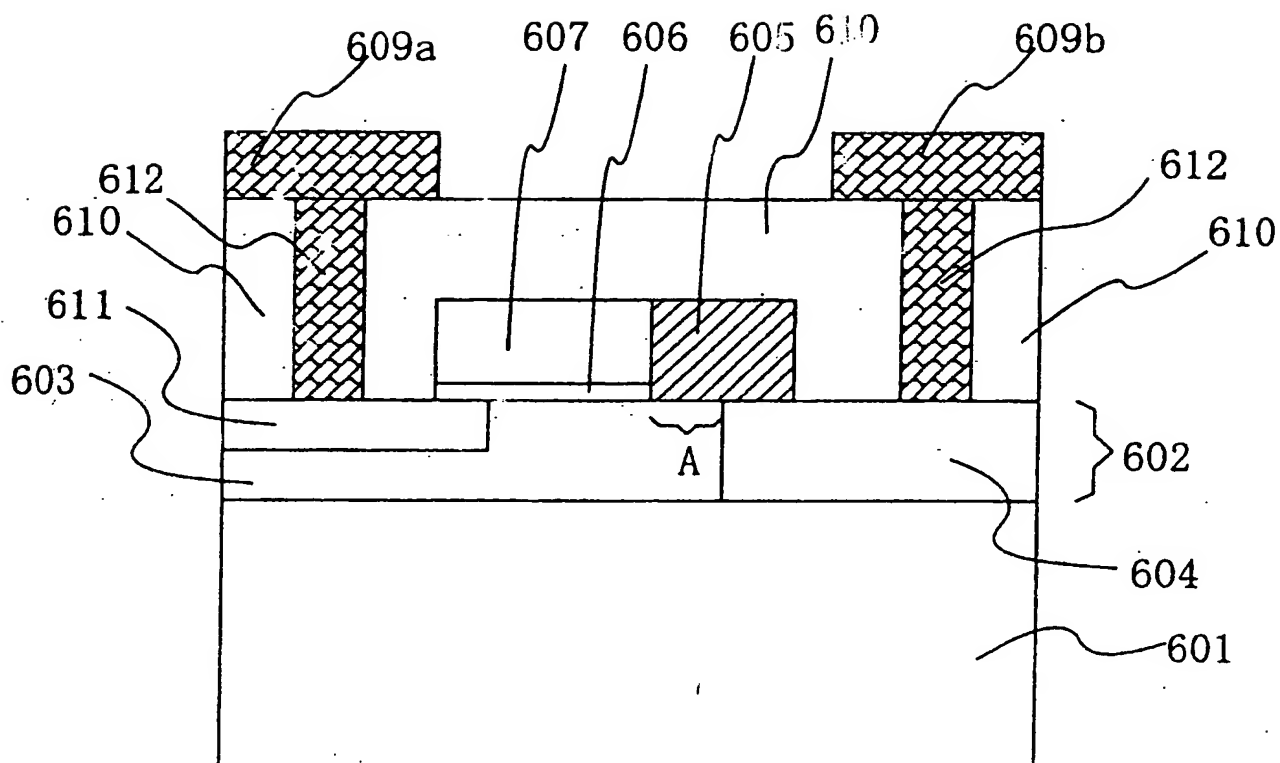


図 3

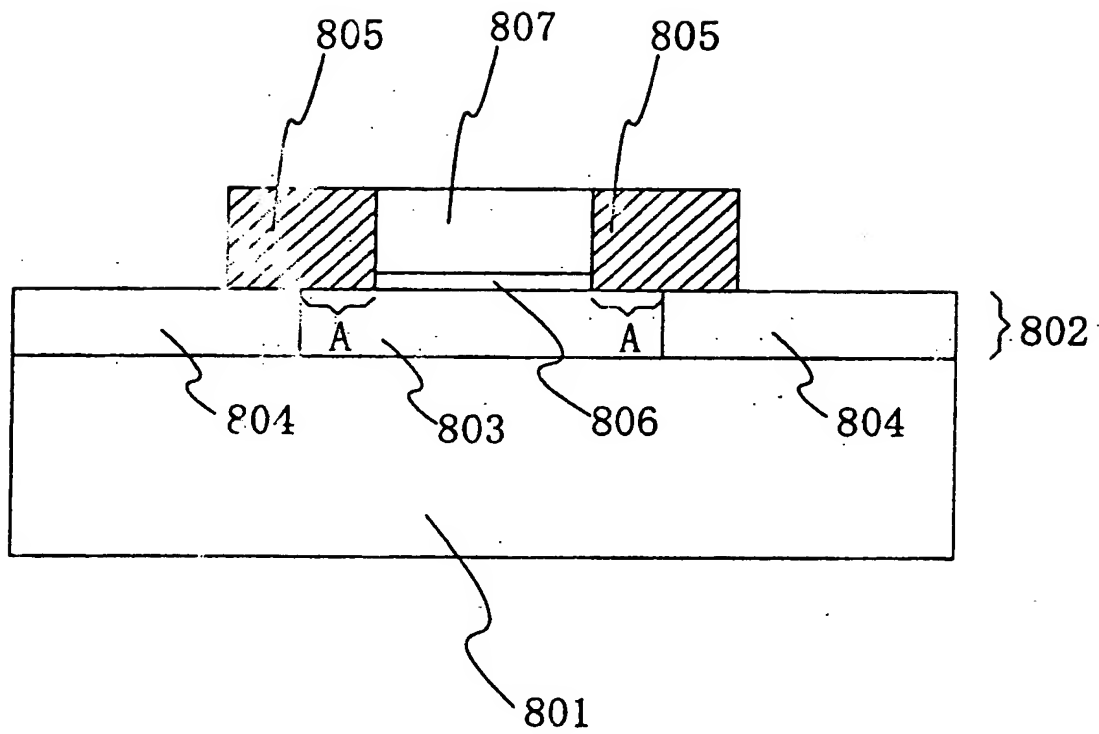


図 4

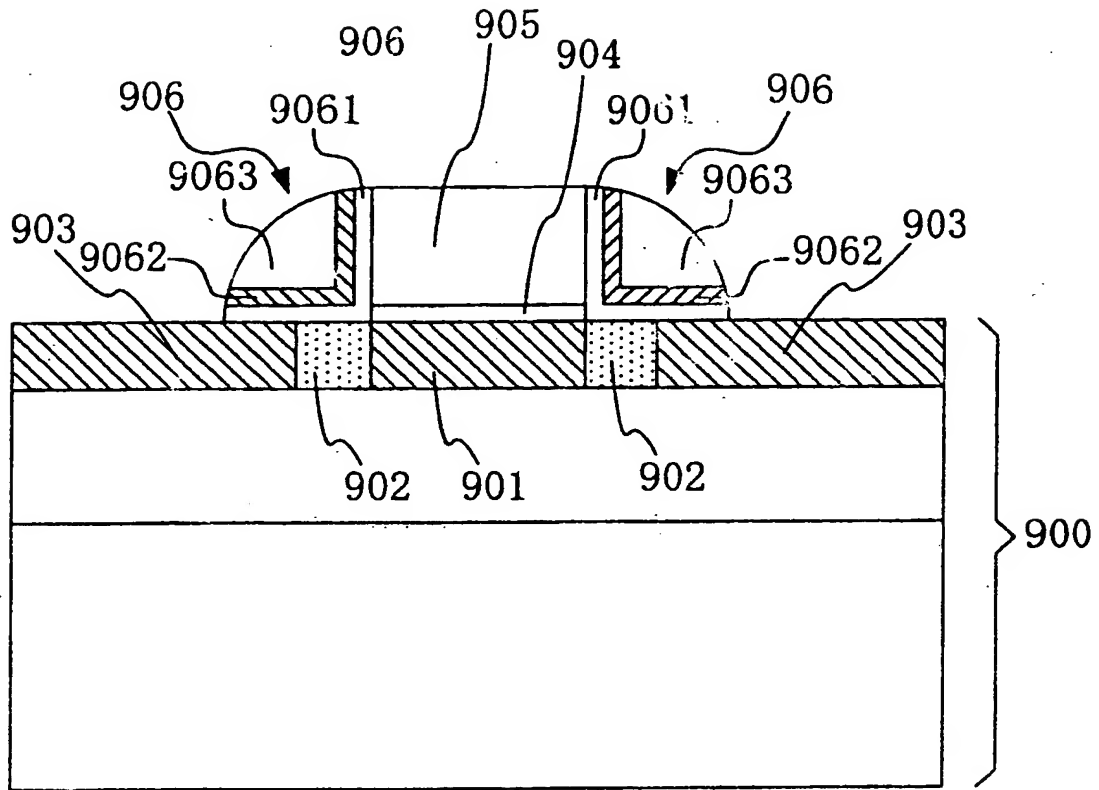


図 5 (a)

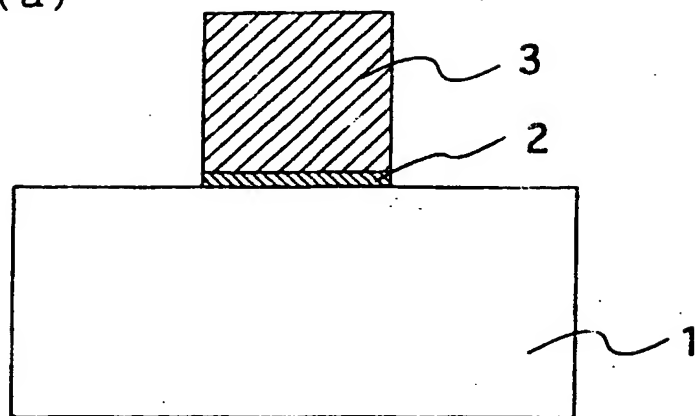


図 5 (b)

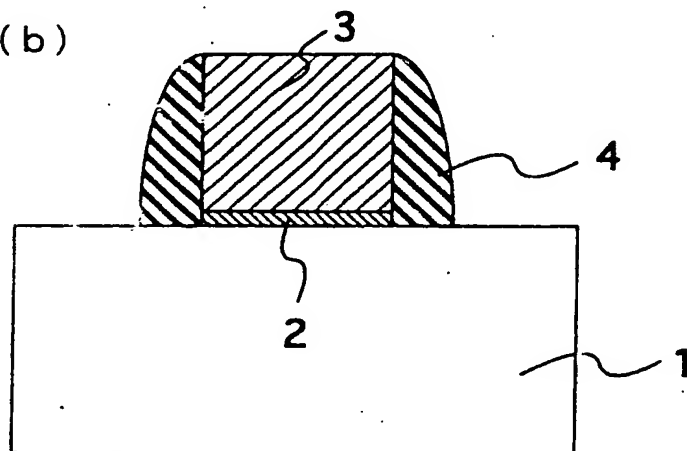


図 5 (c)

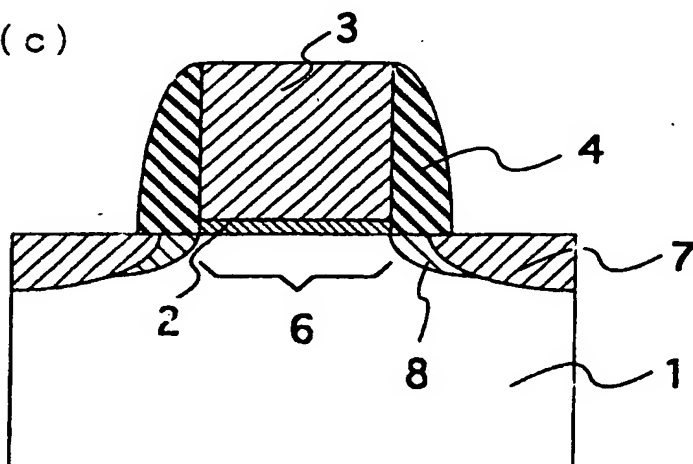


图 6(a)

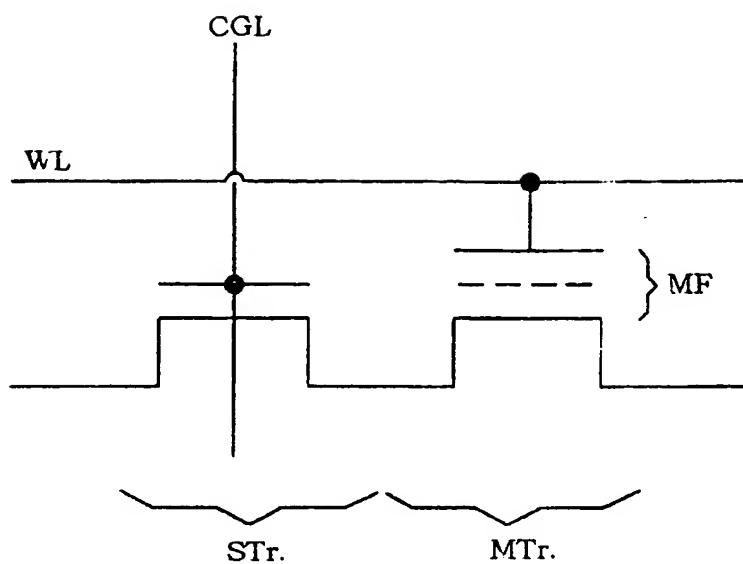


图 6(b)

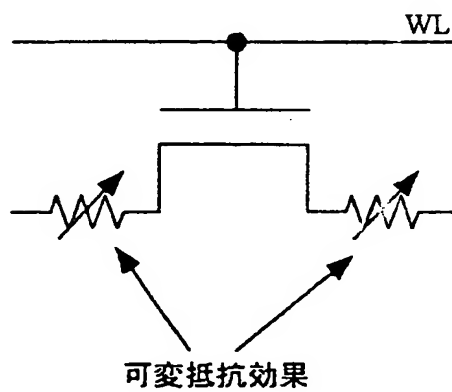


図 7 (a)

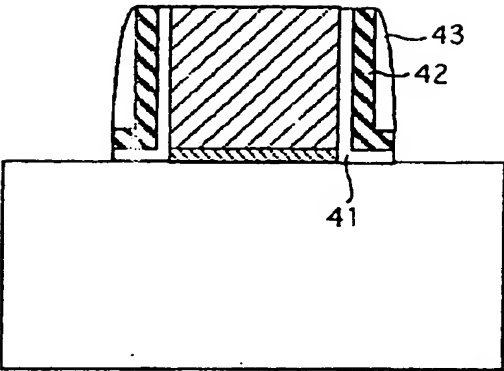


図 7 (d)

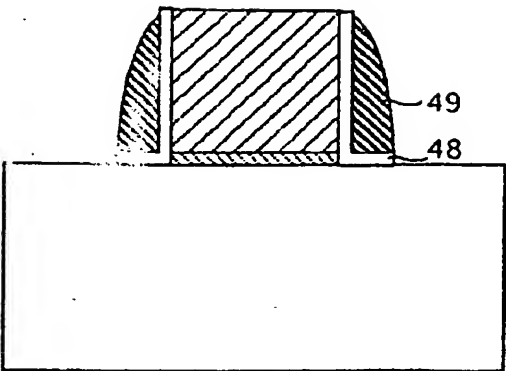


図 7 (b)

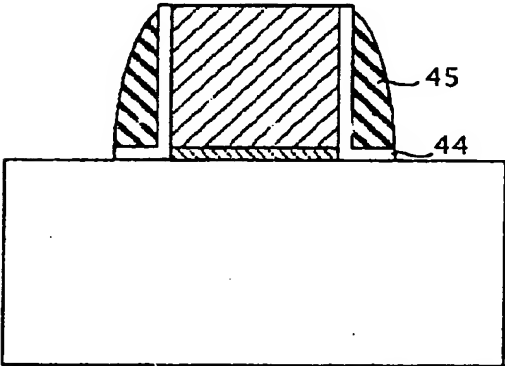


図 7 (e)

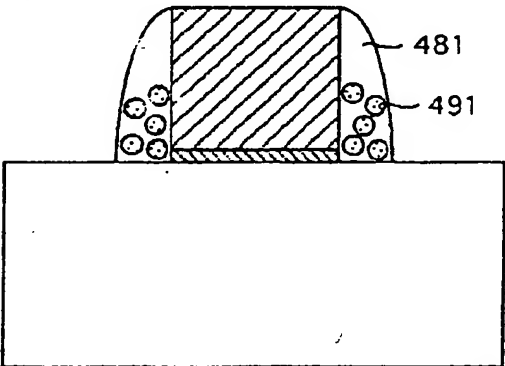


図 7 (c)

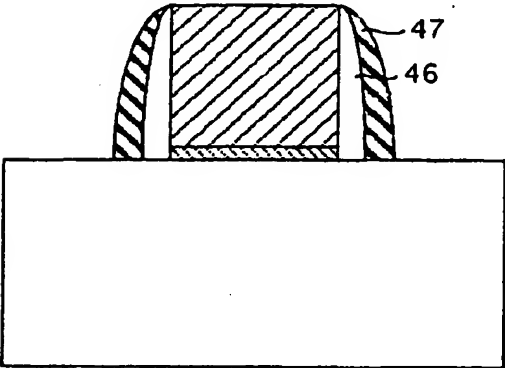


図 3

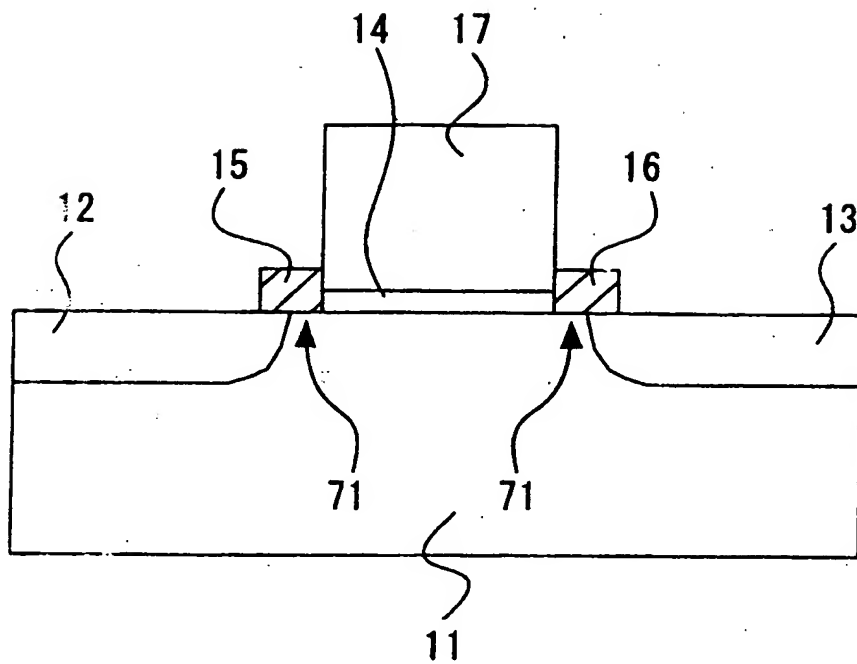


図 9 (a)

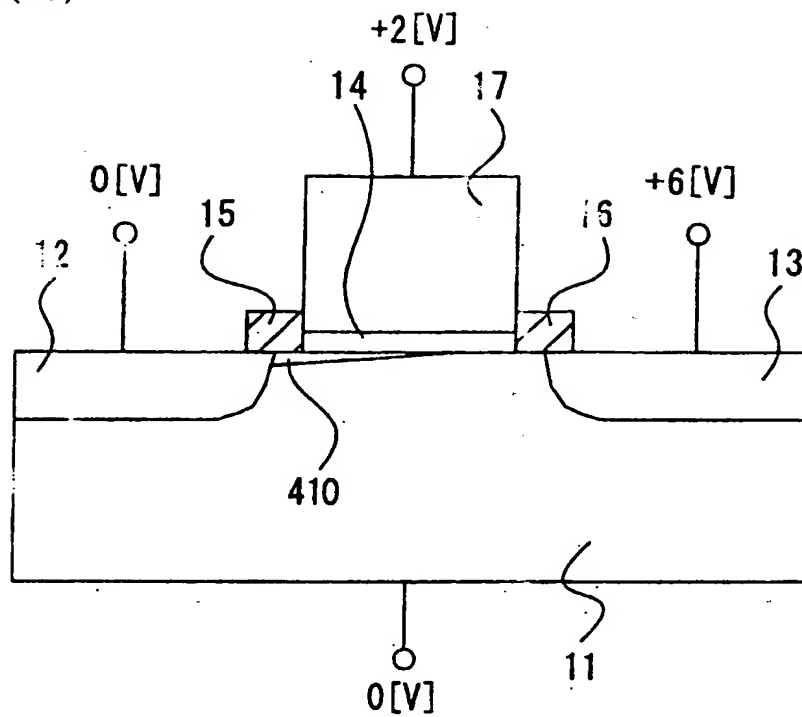


図 9 (b)

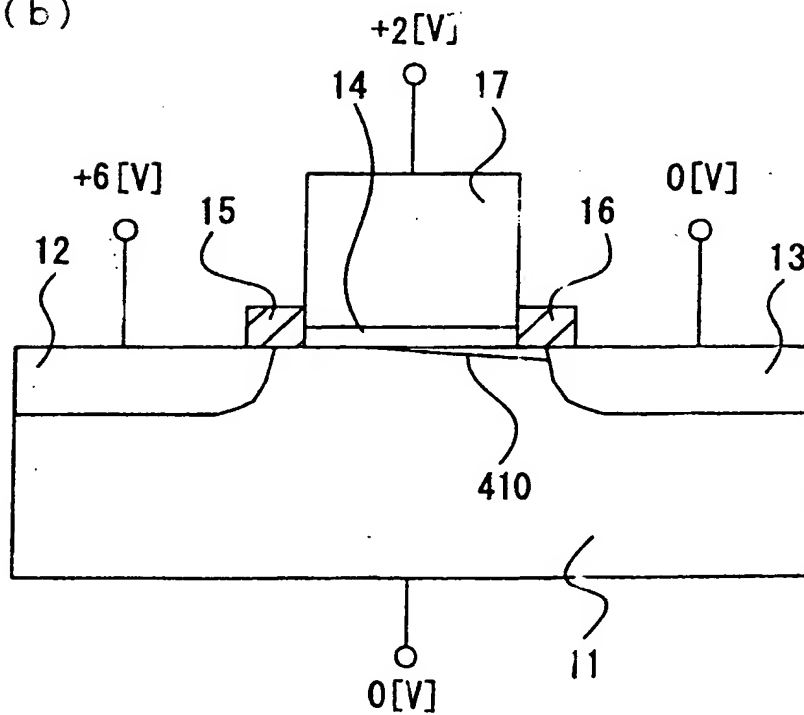


图 10

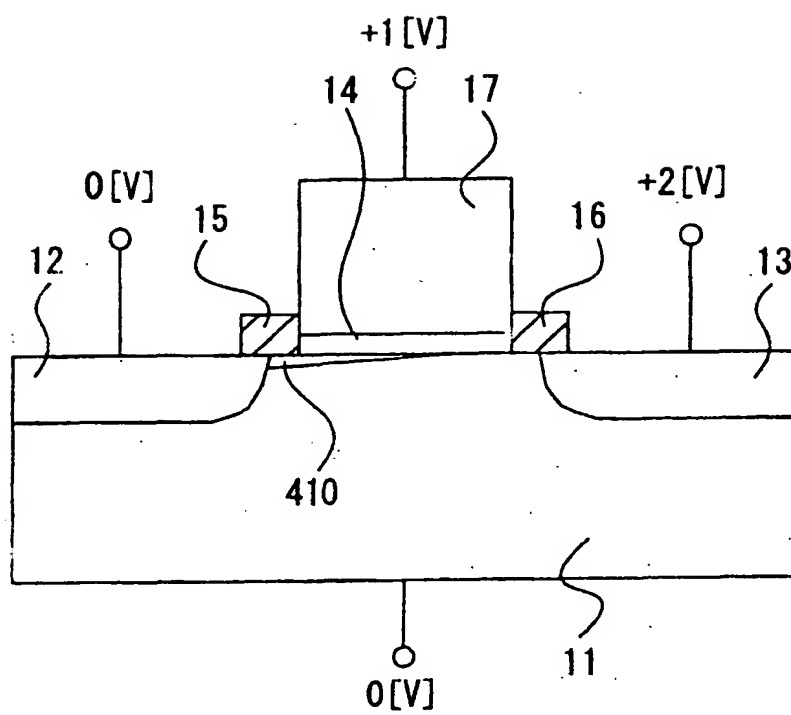


図 1 1

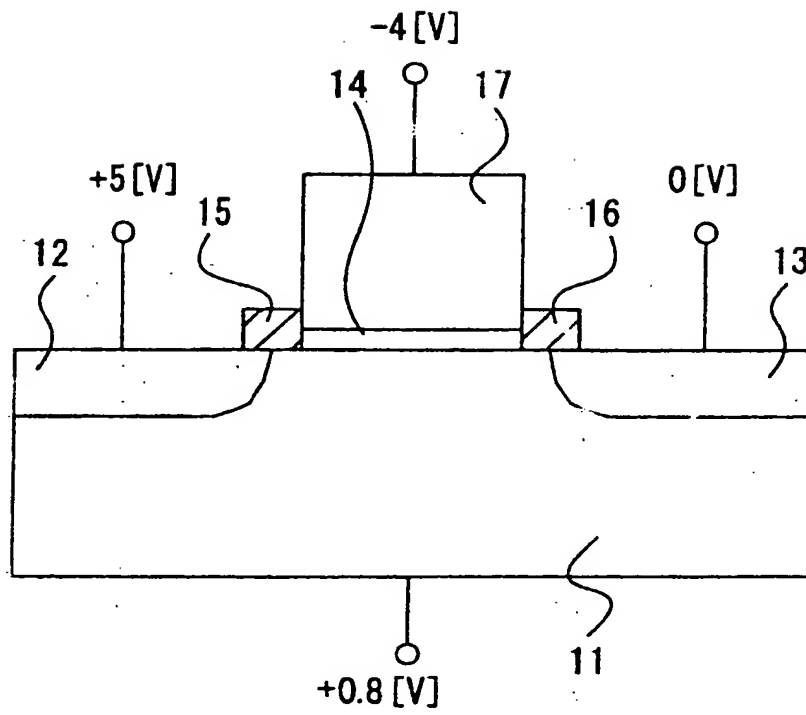


図 12

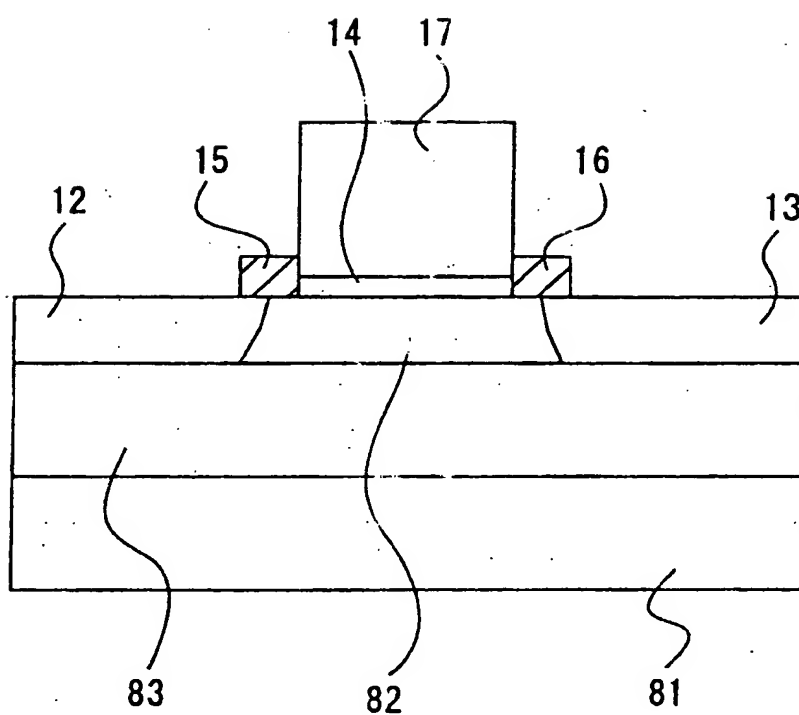


図 13

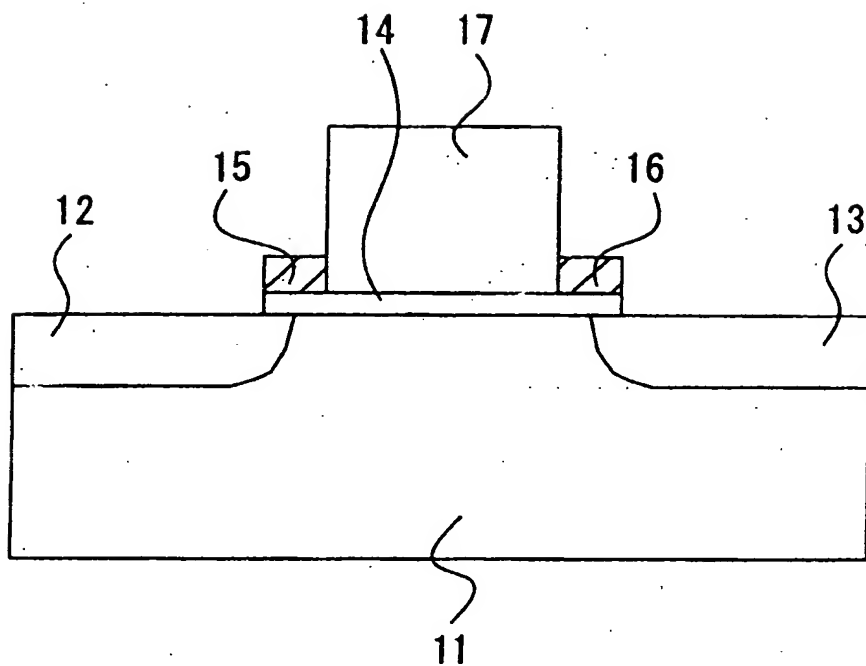


図 14

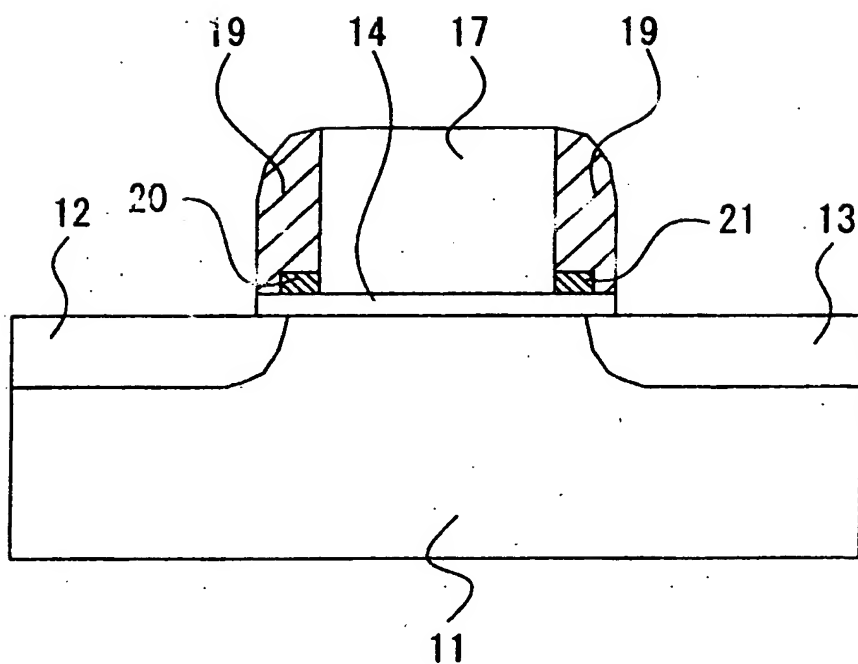


図 15

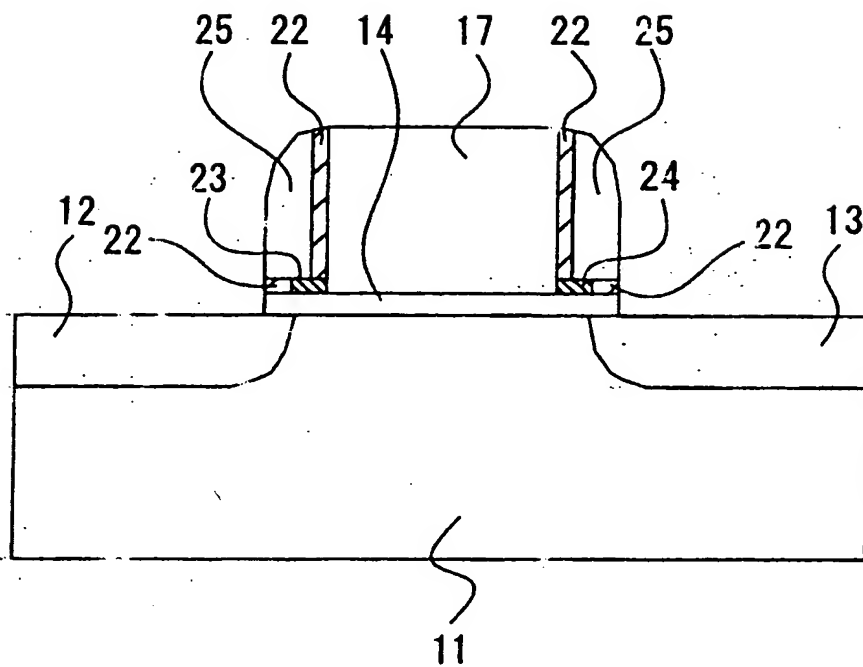


図 16(a)

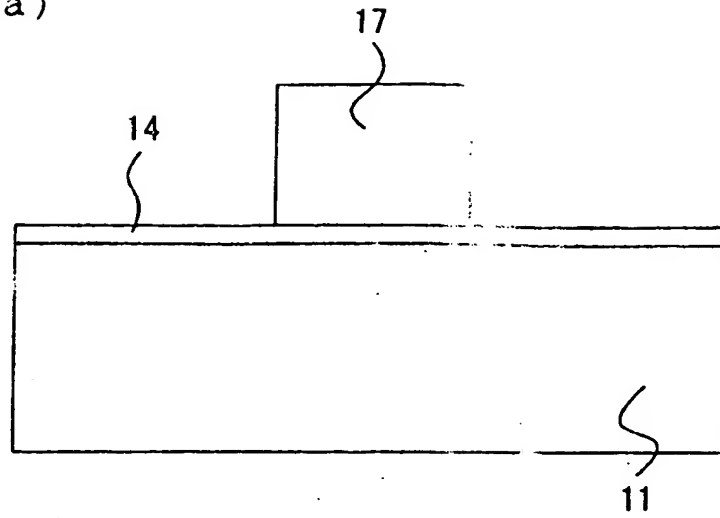


図 16(b)

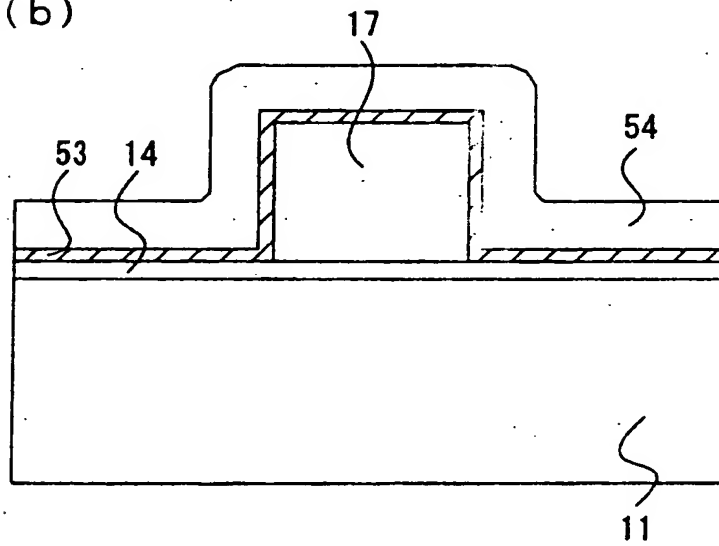


図 16(c)

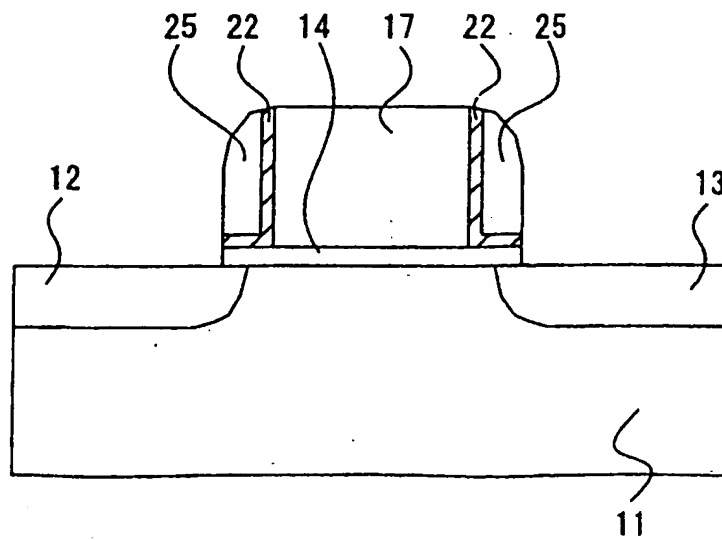


図 17

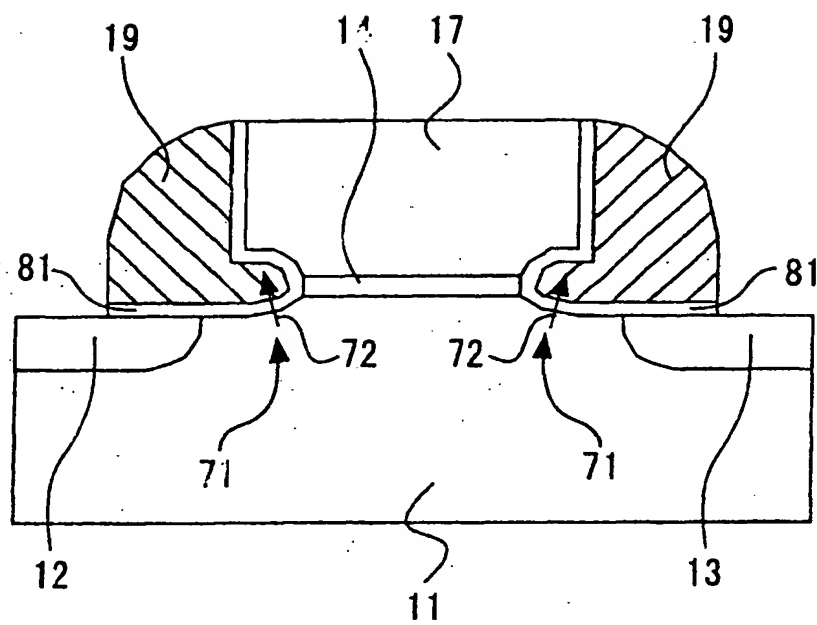


図 18(a)

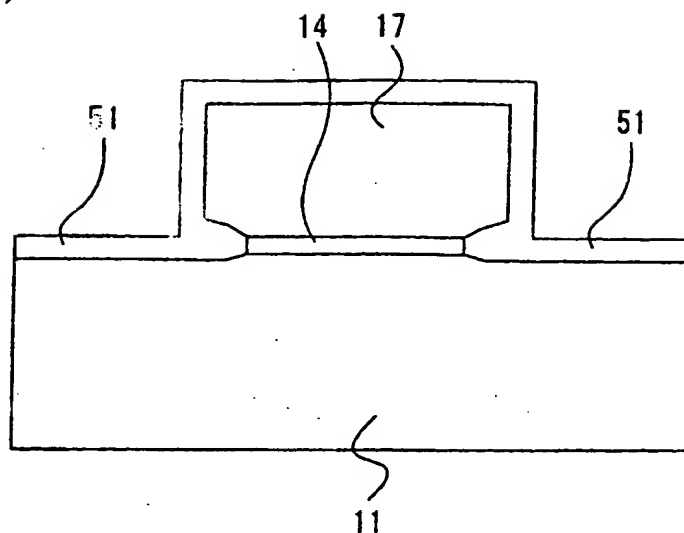


図 18(b)

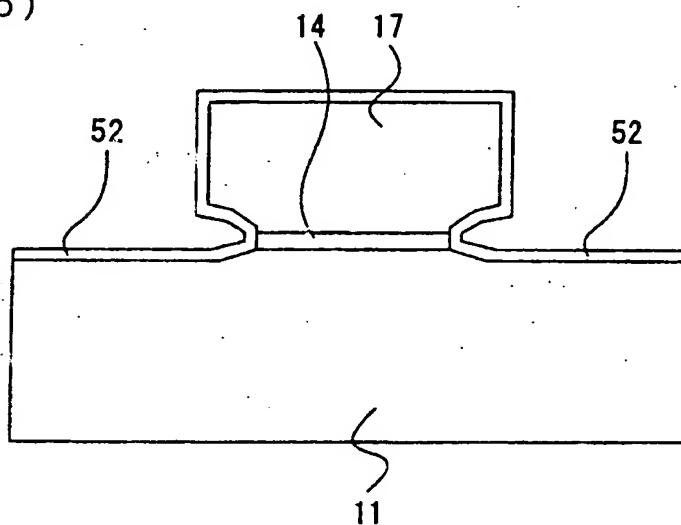


図 18(c)

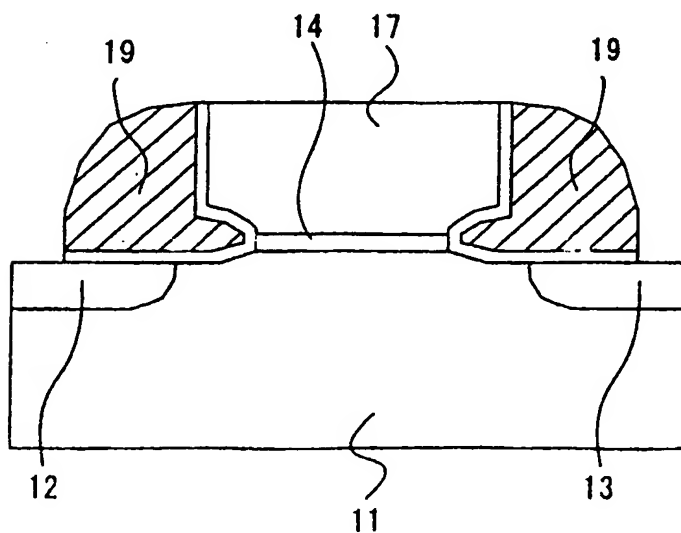


図 19

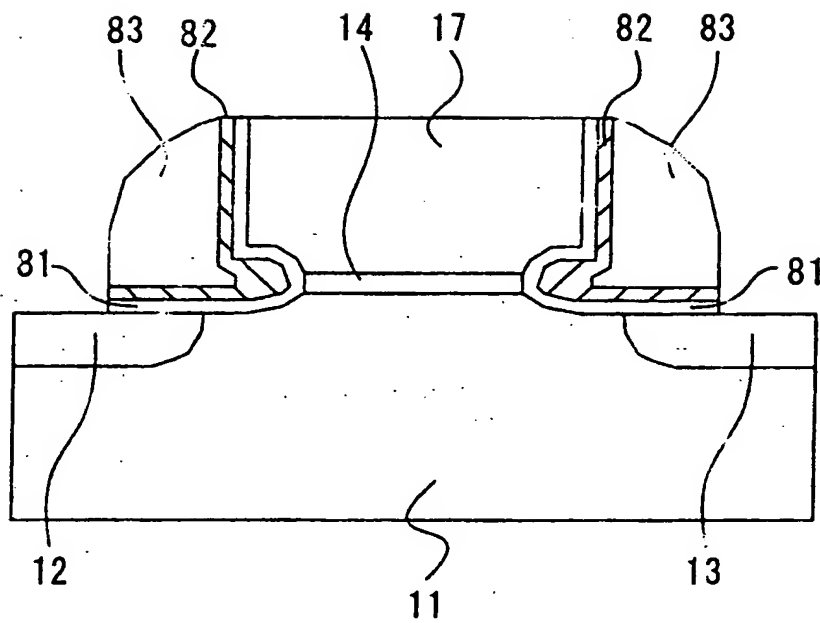


図 20

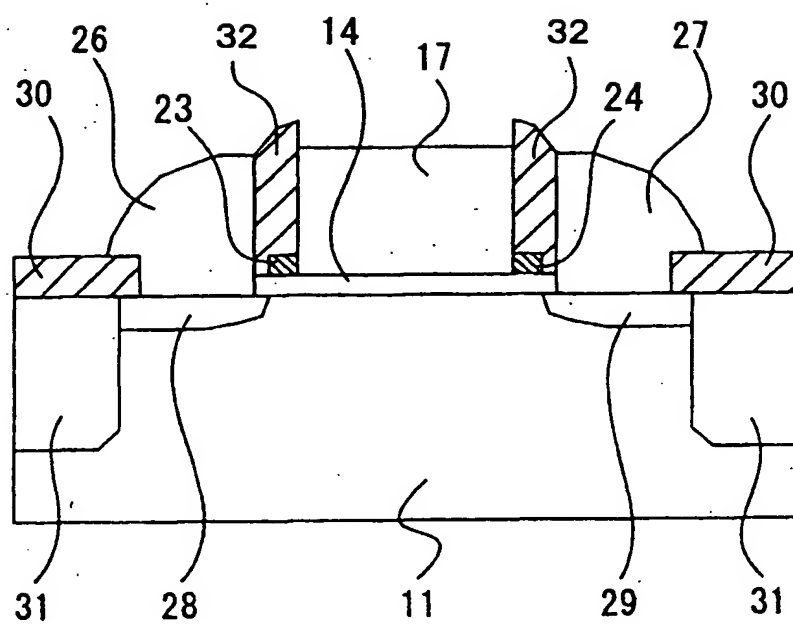


図 21(a)

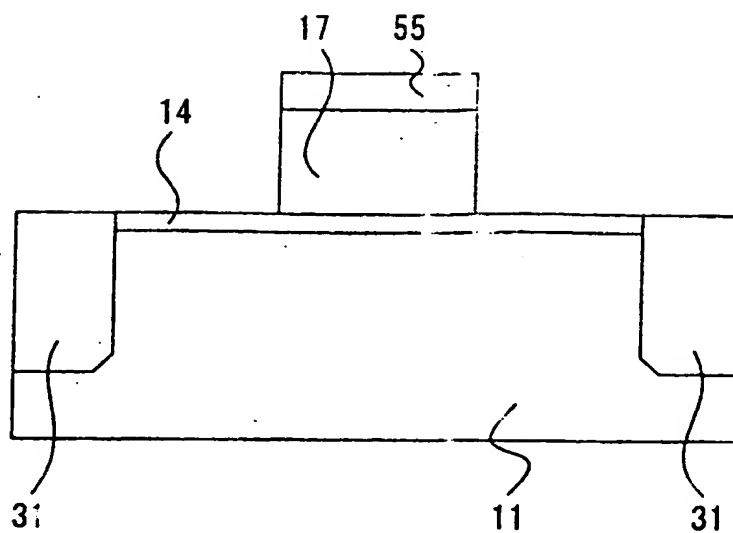


図 21(b)

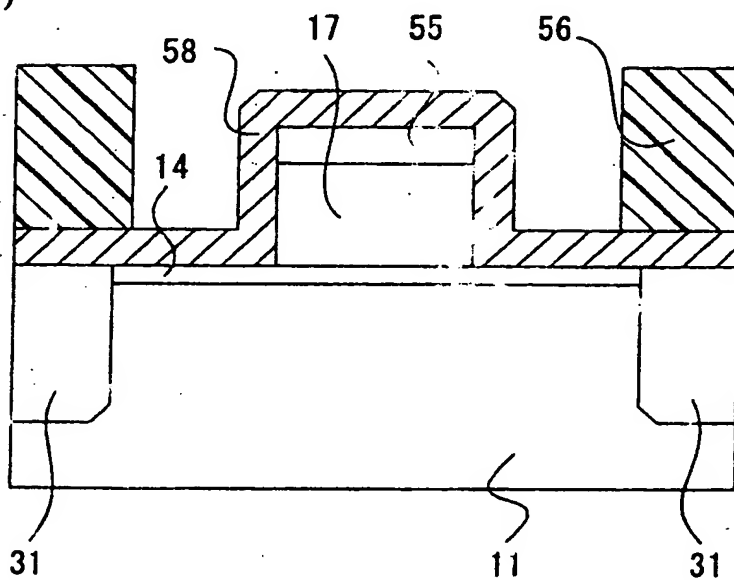


図 21(c)

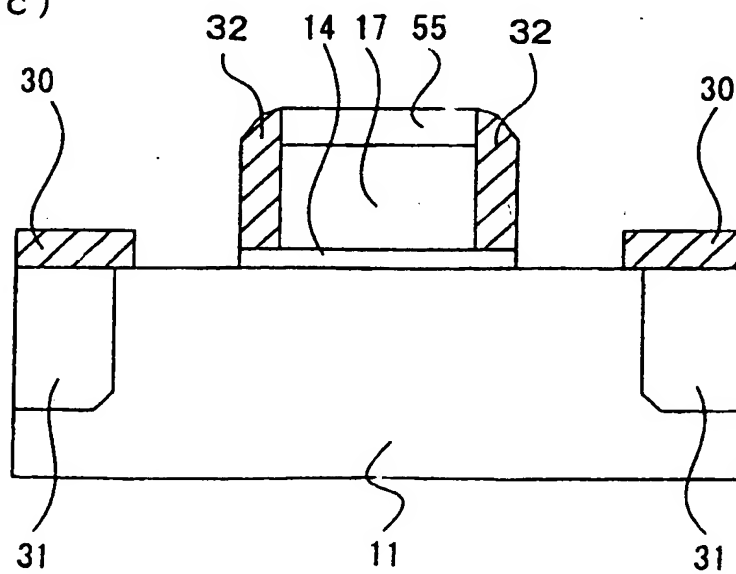


図 22 (d)

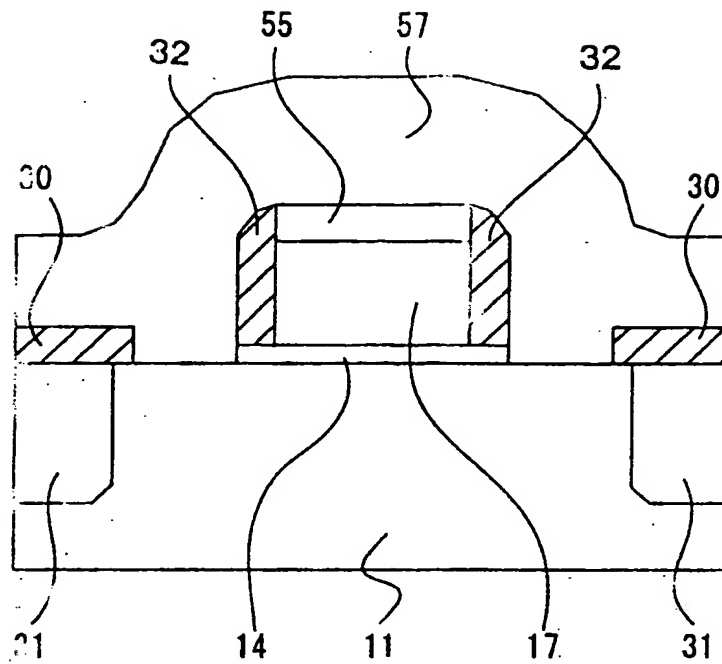


図 22 (e)

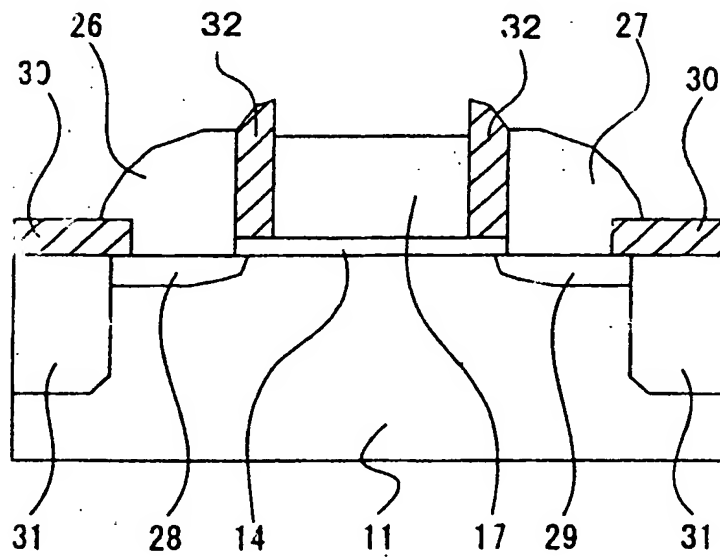


図 23(a)

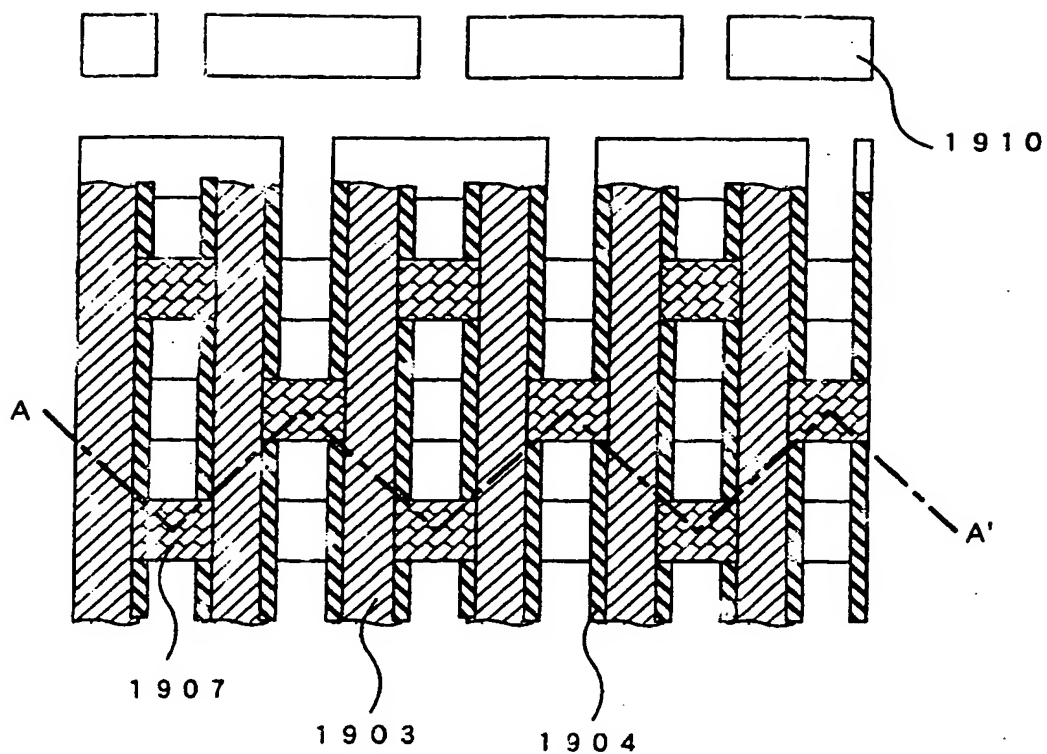


図 23(b)

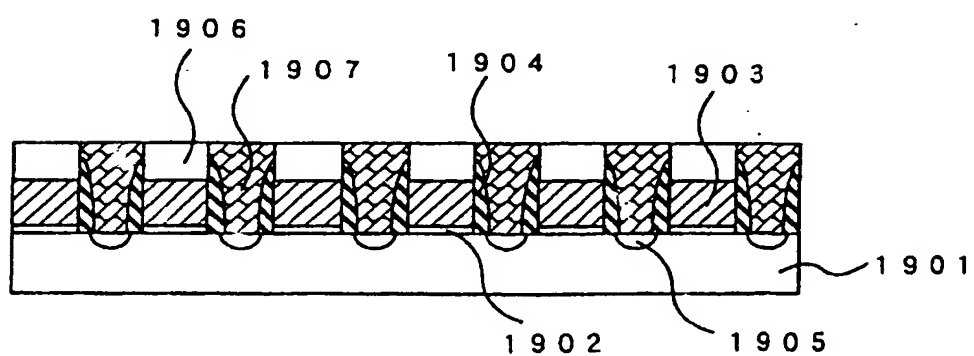


図 25

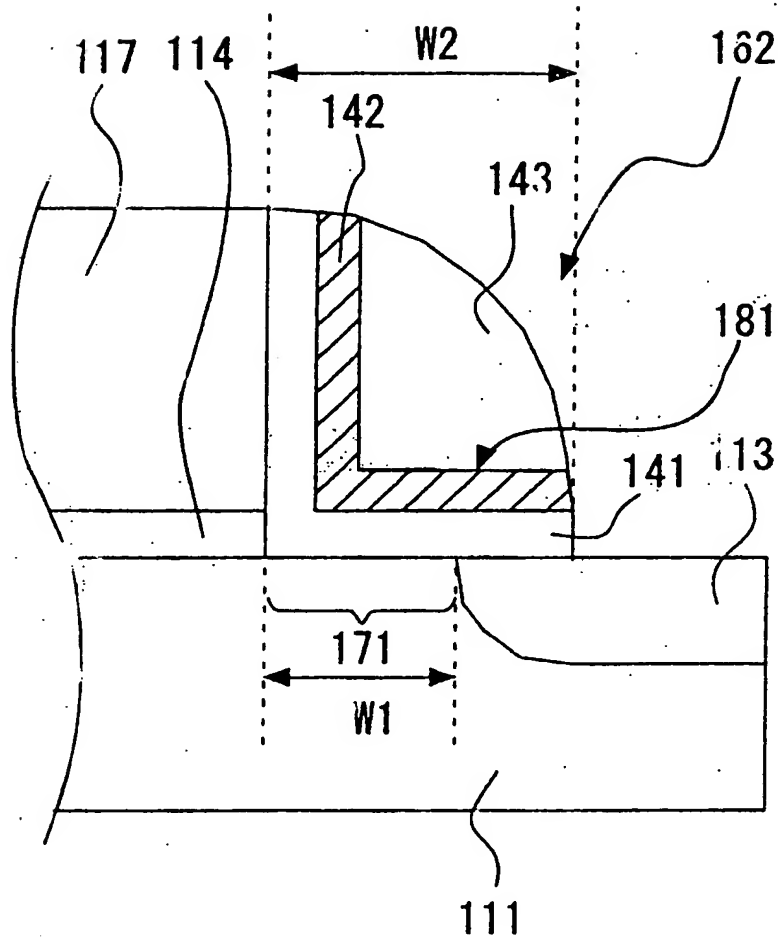


図 26

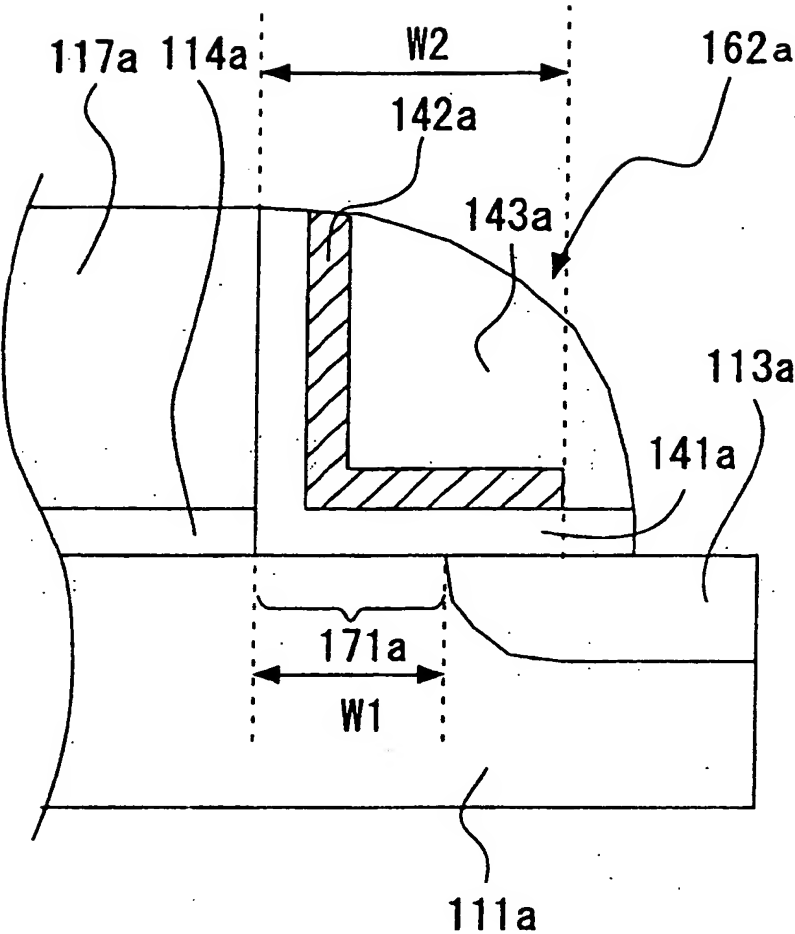


図 27

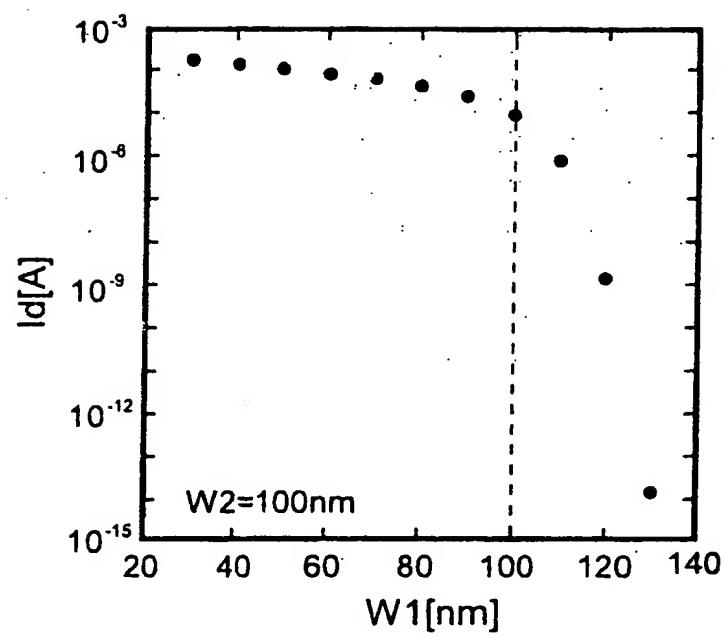


図 28

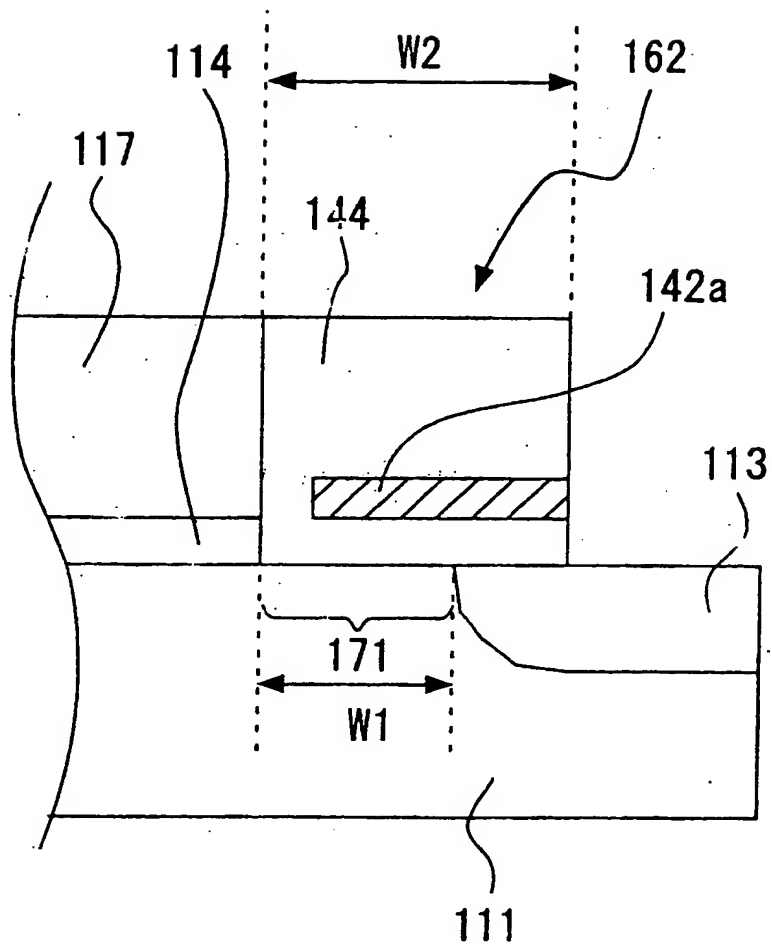


図 29

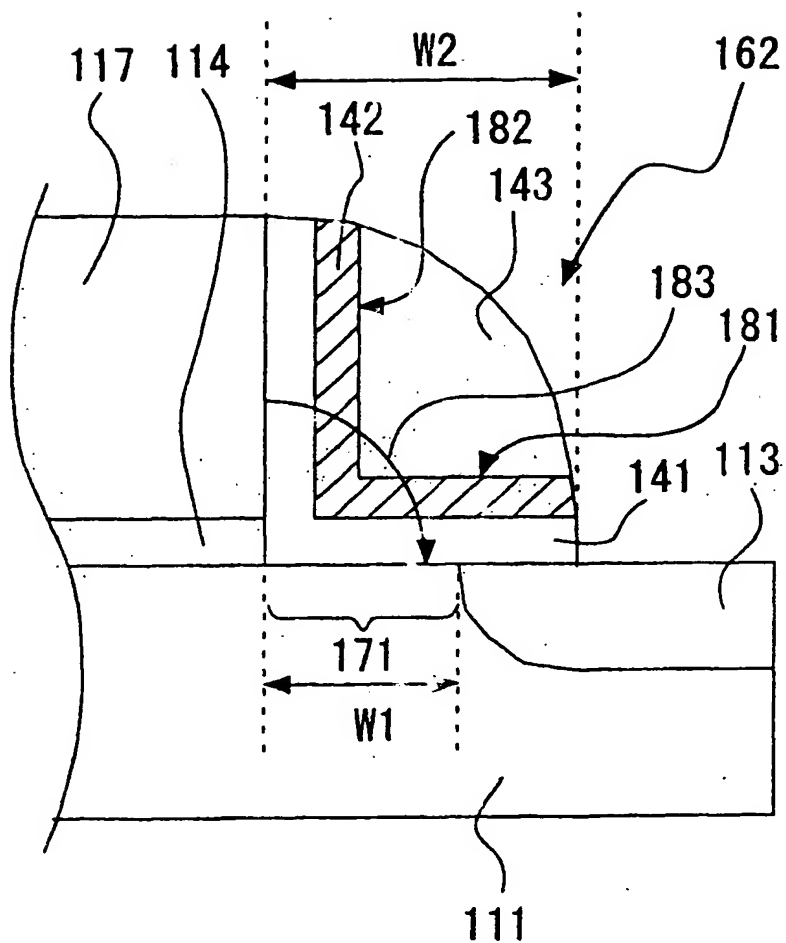


FIG. 3

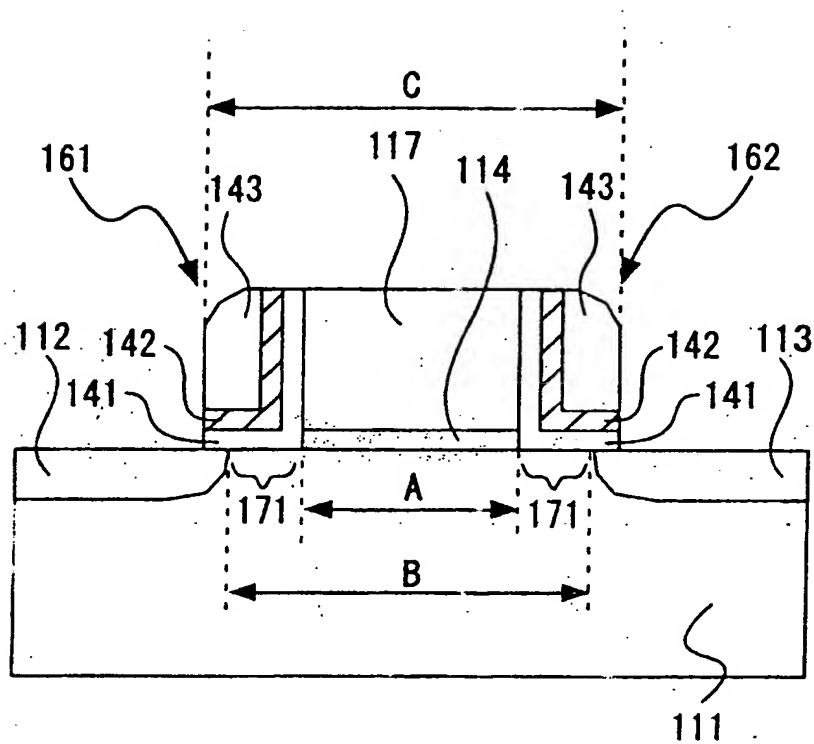


図 31

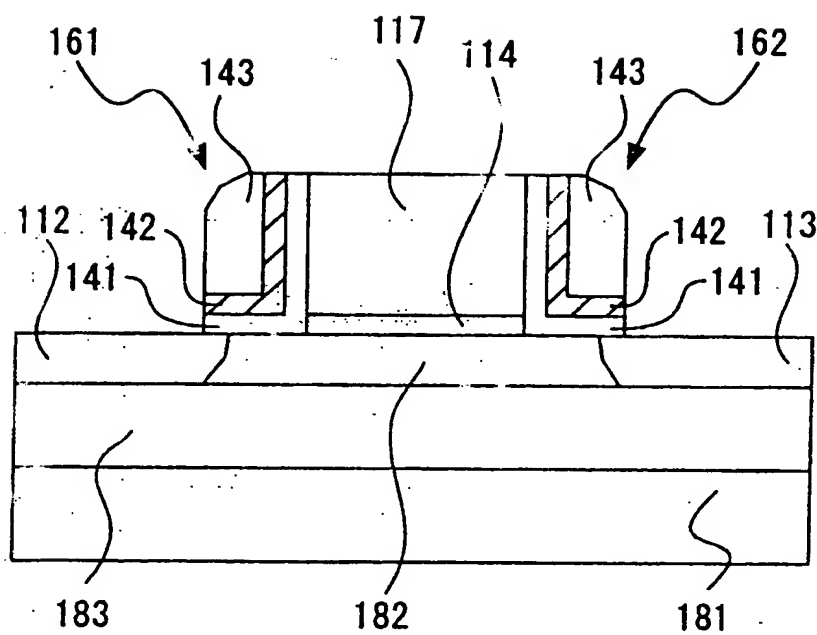


図 3 2

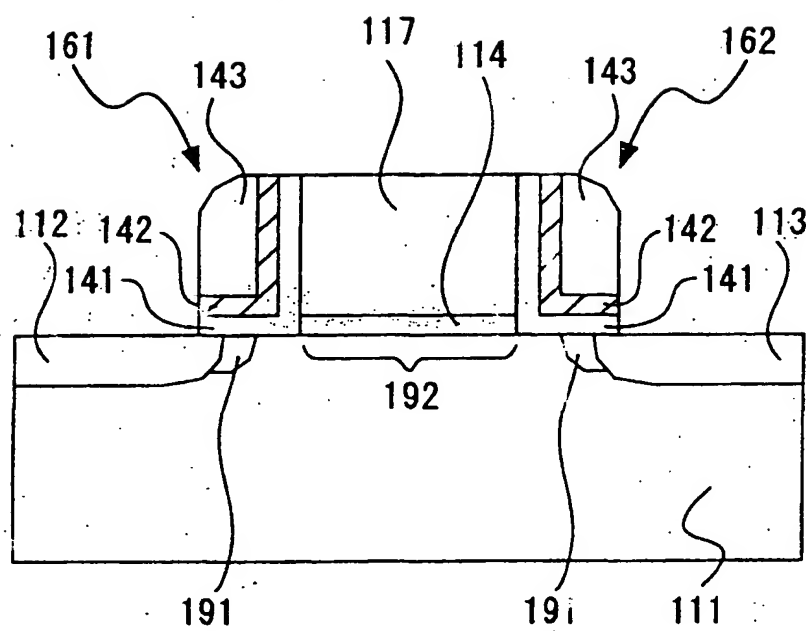


図 33

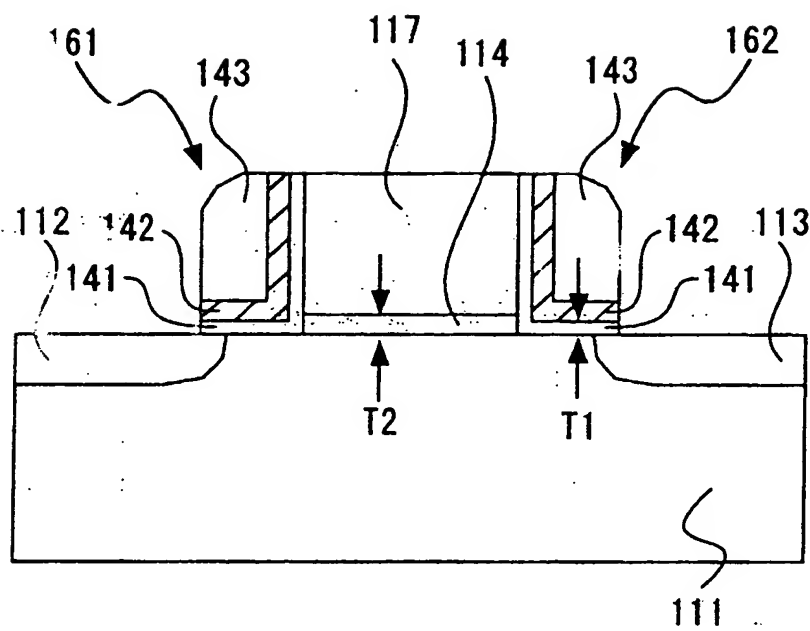


図 34

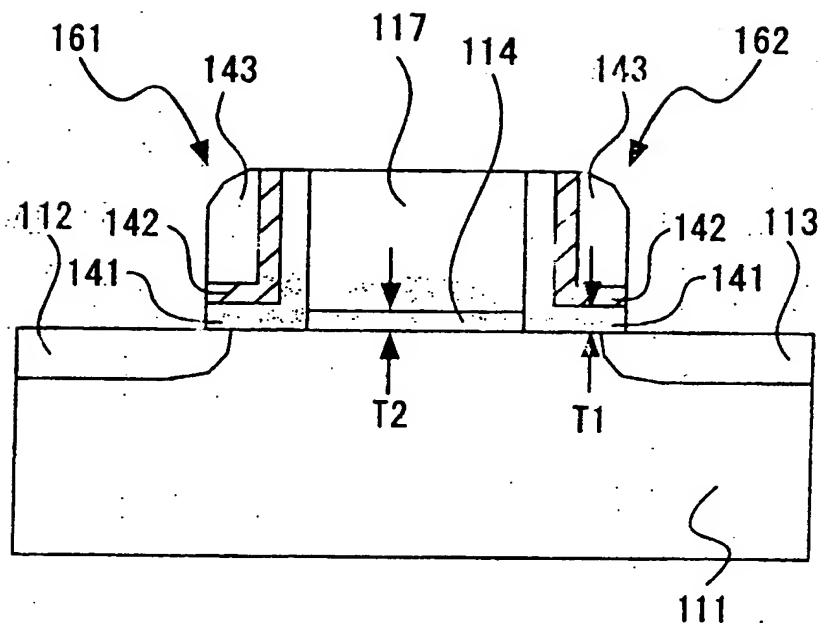


図 35

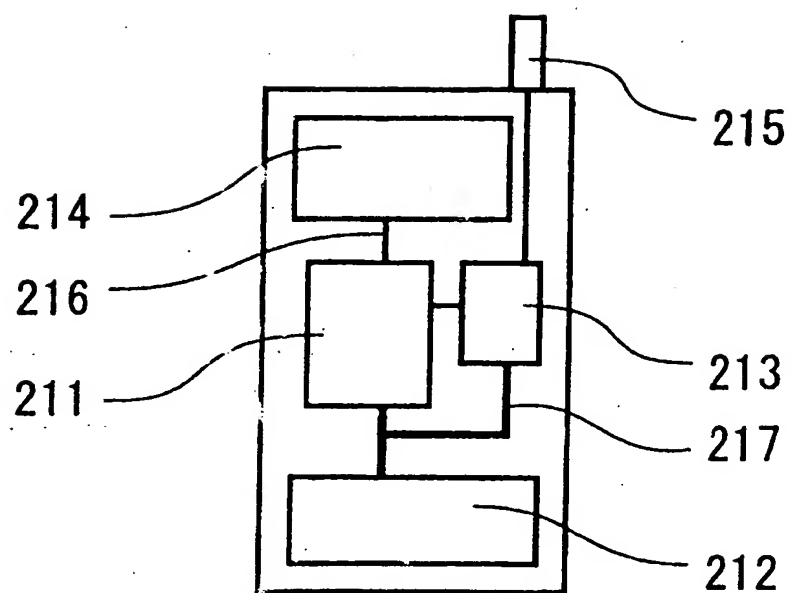


図 36 (a)

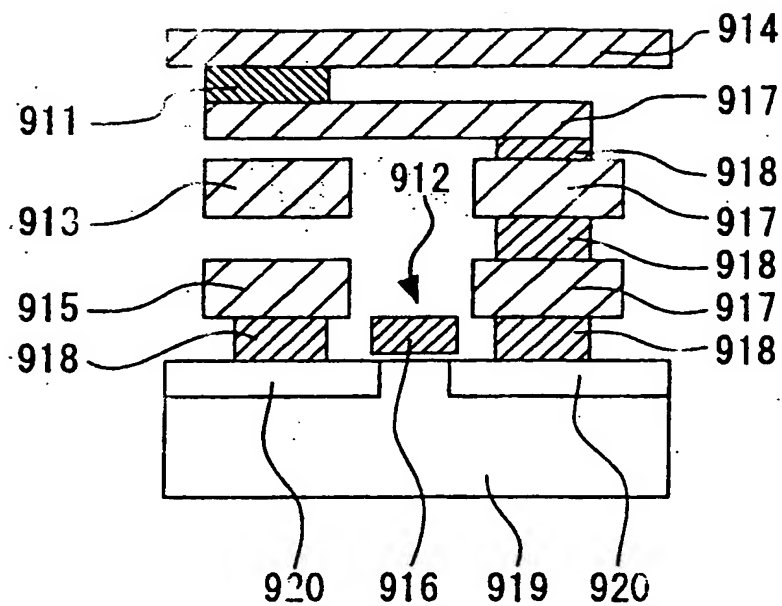
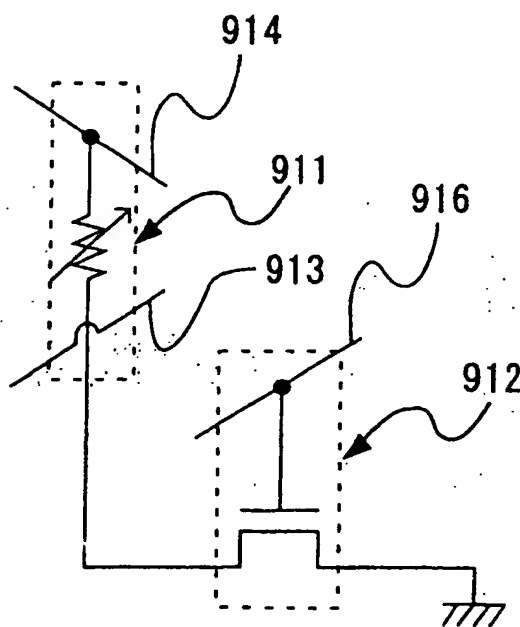


図 36 (b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JF02/12028

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/788, 29/792, 27/115, 21/8247

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/788, 29/792, 27/115, 21/8247

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-237330 A (Sony Corp.), 31 August, 2001 (31.08.01), Full text	1-15, 18-26, 28, 30-35, 38-49
Y	(Family: none)	16, 17, 29, 36-38
A		27
X	JP 63-204770 A (Oki Electric Industry Co., Ltd.), 24 August, 1988 (24.08.88), Full text	1-15, 18-20, 24-26, 28, 30-35, 41-43, 45, 49
Y	(Family: none)	16, 17, 21-23, 29, 36-40, 44, 46-48
A		27

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
--	---

Date of the actual completion of the international search
18 February, 2003 (18.02.03)

Date of mailing of the international search report
04 March, 2003 (04.03.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/12028

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 8-191110 A (Nippondenso Co., Ltd.), 23 July, 1996 (23.07.96), Full text (Family: none)	16, 17, 29
Y	JP 11-274331 A (NEC Corp.), 08 October, 1999 (08.10.99), Full text (Family: none)	16, 17, 29
Y	US 5838041 A (KABUSHIKI KAISHA TOSHIBA), 17 November, 1998 (17.11.98), Full text & JP 9-97849 A Full text	36-38

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. H01L 29/788, 29/792, 27/115, 21/8247

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. H01L 29/788, 29/792, 27/115, 21/8247

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2001-237330 A (ソニー株式会社) 2001.08.31, 全文 (ファミリー無し)	1-15, 18-26, 28, 30-35, 38- 49
Y		16, 17, 29, 36- 38
A		27

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

*、引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

18.02.03

国際調査報告の発送日

04.03.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井原 純

4M

9354

電話番号 03-3581-1101 内線 3462

C (続き) 引用文献の カテゴリ*	関連すると認められる文献 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 63-204770 A (沖電気工業株式会社) 1988. 08. 24, 全文 (ファミリー無し)	1-15, 18-20, 24-26, 28, 30- 35, 41-43, 45, 49
Y		16, 17, 21-23, 29, 36-40, 44, 46-48
A		27
Y	J P 8-191110 A (日本電装株式会社) 1996. 07. 23, 全文 (ファミリー無し)	16, 17, 29
Y	J P 11-274331 A (日本電気株式会社) 1999. 10. 08, 全文 (ファミリー無し)	16, 17, 29
Y	US 5838041 A (KABUSHIKI KAISHA TOSHIBA) 1998. 11. 17, 全文 & J P 9-97849 A, 全文	36-38

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.